学年末試験問題(2E 電子計算機)

2004 年 3 月 4 日

1 MIL 記号

1.1 MIL 記号と真理値表、論理演算子

［問題 1］ MIL 記号と真理値表

以下の論理ゲート (素子) の MIL 記号とその真理値表を示せ。NOT 素子は 1 入力であるが、そのほかのものは 2 入力とする。(MIL 記号各 1 点, 真理値表各 2 点)

(1) OR ゲート

(2) AND ゲート

(3) NOT ゲート

(4) NOR ゲート

(5) NAND ゲート

(6) XOR(排他的論理和) ゲート

［問題 2］ 論理演算子

例に従い、問題 3 の各ゲートの論理演算子を書け。(各 1 点)

(例) AND ゲートの場合 $A \cdot B$

(1) OR ゲート

(2) NOT ゲート

(3) NOR ゲート

(4) NAND ゲート

(5) XOR(排他的論理和) ゲート

1.2　論理式から論理回路への変換

［問題 1］

以下の論理式を論理回路 (MIL 記号) に変換せよ。(各 4 点)

(1) $Z = A \cdot B + \bar{A} \cdot \bar{B}$

(2) $Z = \left[(A + B \cdot C) + \bar{B}\right] \cdot C$

1.3　真理値表から論理回路への変換

［問題 1］

以下の真理値表を論理回路 (MIL 記号) で表せ。ただし、途中の計算経過 (論理式など) もきちんと答案用紙に記述すること。(10 点)

A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

2　NOR と NAND ゲートオンリー回路

［問題 1］NAND や NOR が有利な理由

集積回路では、AND や OR ゲートよりも、NAND や NOR ゲートの方が使われる。その理由を簡潔に説明せよ。(5 点)

［問題 2］完全系

NOR ゲートのみで、OR と AND、NOT ゲートを作成せよ。回答は、それぞれについて MIL 記号で示すこと。(6 点)

［問題 3］回路の変換

以下の NAND ゲートオンリー回路へ変換せよ。ただし、NOT ゲートは変換された回路に含まれても良い。(3 点)

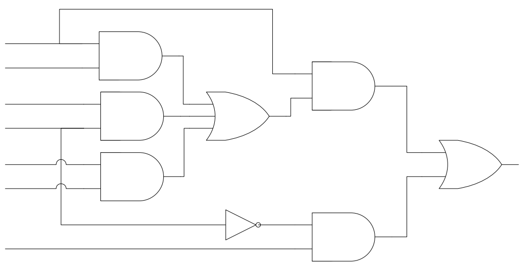

図 1: AND と OR、NOT ゲートで構成された論理回路

［問題 4］NAND オンリー

以下の論理式を NAND オンリーの式に変形せよ。(各 3 点)

(1) $X + Y + Z$

(2) $(X \cdot Y + U) \cdot (W + X \cdot Z) \cdot (U \cdot V + Y)$

［問題 5］NOR オンリー

以下の論理式を NOR オンリーの式に変形せよ。(各 3 点)

(1) $X \cdot Y \cdot Z$

(2) $X \cdot Y \cdot Z + U \cdot V$

3　加算回路

3.1　半加算器

［問題 1］ 真理値表 (半加算器)

　半加算器の真理値表を書け。ただし、その桁の和を S、桁上がりを C とする。(4 点)

［問題 2］ 論理式 (半加算器)

　半加算器の論理式を書け。排他的論理和 (XOR) を使う論理式でも、使わない論理式でも良い。(3 点)

［問題 3］ 論理回路 (半加算器)

　半加算器の論理回路 (MIL 記号) を書け。排他的論理和 (XOR) を使う回路でも、使わない回路式でも良い。(3 点)

3.2　全加算器

［問題 1］ 真理値表 (全加算器)

　全加算器の真理値表を書け。ただし、下位からの桁上げを C_i、その桁の和を S、上位への桁上がりを C_o とする。(4 点)

［問題 2］ 論理式 (全加算器)

　以下のように、論理式を変形して、全加算器が半加算器 2 個と OR ゲートで構成できることを示す。[ア]〜[キ] 内に入るべき適当な論理式を書け。ただし、以下とする。(各 2 点)

- [ア] と [ウ] は、カルノー図の結果そのものである。
- [イ] と [エ] は、可能な限り排他的論理和を使うこと。

　まず、排他的論理和 (XOR) とその否定の式をきちんと示す。排他的論理和は

$$A \oplus B = \bar{A} \cdot B + A \cdot \bar{B} \tag{1}$$

と定義される。その否定は、

$$\begin{aligned} \overline{A \oplus B} &= \overline{\bar{A} \cdot B + A \cdot \bar{B}} \\ &= (\overline{\bar{A} \cdot B}) \cdot (\overline{A \cdot \bar{B}}) \\ &= (A + \bar{B}) \cdot (\bar{A} + B) \\ &= A \cdot \bar{A} + A \cdot B + \bar{A} \cdot \bar{B} + B \cdot \bar{B} \\ &= A \cdot B + \bar{A} \cdot \bar{B} \end{aligned} \tag{2}$$

となる。

これら排他的論理和の演算に注意しながら、カルノー図から求められた主加算標準形の S を以下のように変形していく。

$$
\begin{aligned}
S &= [ア] \\
&= (\bar{A}\cdot\bar{B} + A\cdot B)\cdot C_i + (\bar{A}\cdot B + A\cdot\bar{B})\cdot\bar{C}_i \\
&= (\overline{\bar{A}\cdot B + A\cdot\bar{B}})\cdot C_i + (\bar{A}\cdot B + A\cdot\bar{B})\cdot\bar{C}_i \\
&= (\overline{A\oplus B})\cdot C_i + (A\oplus B)\cdot\bar{C}_i \\
&= [イ]
\end{aligned}
\tag{3}
$$

排他的論理和のみで記述できる非常にきれいな式である。

つぎに、C_o の論理式を作ります。これもカルノー図から、

$$
\begin{aligned}
C_o &= [ウ] \\
&= A\cdot B + (A+\bar{A})\cdot B\cdot C_i + A\cdot(B+\bar{B})\cdot C_i \\
&= A\cdot B + A\cdot B\cdot C_i + \bar{A}\cdot B\cdot C_i + A\cdot B\cdot C_i + A\cdot\bar{B}\cdot C_i \\
&= A\cdot B\cdot(1 + C_i + C_i) + \bar{A}\cdot B\cdot C_i + A\cdot\bar{B}\cdot C_i \\
&= A\cdot B + (\bar{A}\cdot B + A\cdot\bar{B})\cdot C_i \\
&= [エ]
\end{aligned}
\tag{4}
$$

となる。

以上で全加算器の論理式が完成しが、もうひとひねりしておく。ちょっと記号の問題があるので、半加算器の出力

$$S_1 = A\oplus B \tag{5}$$

$$C_1 = A\cdot B \tag{6}$$

を用いて、式を変形することを考える。すると、

$$S = [オ] \tag{7}$$

$$C = [カ] \tag{8}$$

となる。ここで、最後のひねりとして、$S_1\cdot C_i = C_2$ を用いる。すると

$$S = [オ] \tag{9}$$

$$C = [キ] \tag{10}$$

となる。以上より、全加算器は半加算器 2 個と OR ゲートで構成できることが分かる。

［問題 3］ 回路 (全加算器)

前問から、全加算器は半加算器 2 個と OR ゲートでできることがわかる。半加算器 2 個と OR ゲートで構成される全加算器の回路を示しなさい。半加算器は MIL 記号でなくても良い。(5 点)