

電源回路

【目的】

ダイオードを用いた電源回路において、交流を直流にする整流回路や整流波形から脈動分を除去する平滑回路の動作を調べ、電源回路についての理解を深める。

【原理】

一般に、電源回路は整流回路と平滑回路から構成されている。

◆ 整流回路

単相交流の整流回路としては、整流素子の接続の仕方によって多くの回路があるが、その代表的なものとして図1および図2の回路が挙げられる。

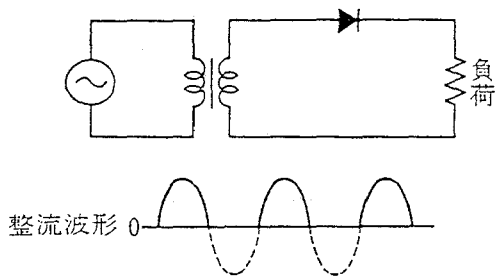


図1：単相半波整流回路

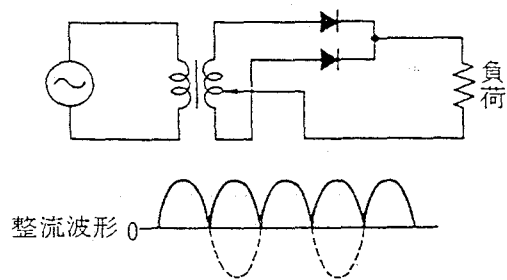


図2：単相全波整流回路

単相半波整流回路では、変圧器二次側電圧が負の半波の間は負荷には電流が流れないため、脈動が大きく、実際には平滑回路を通して使用する。

単相全波整流回路では、変圧器の二次側巻線の中性点を利用することによって、負の半波の間はもう一方の整流素子を通して負荷に電流が流れる仕組みになっている。この場合にも脈動分を小さくするため、実際には平滑回路を通して使用する。

図2では整流素子を2個用いて全波整流を実現しているが、これでは変圧器の利用効率が悪い（半波毎に交互に半分ずつしか利用していない）。そこで、図3のように整流素子4個をブリッジ状に接続することによって変圧器の利用効率を上げる回路が大電力用の単相全波整流回路としてよく用いられる。

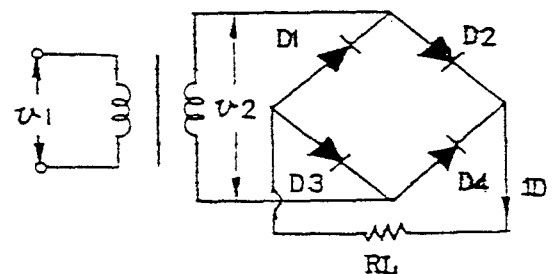


図3：単相ブリッジ整流回路

◆ 平滑回路

整流された出力電圧には直流分のほかに多くの脈動分が含まれているので、このままでは直流とはみなせない。より完全な直流電圧とするためには、整流出力に含まれている脈動分を除去する必要がある。それには、コンデンサやチョークコイルを用いた回路が用いられ、この回路を平滑回路という。

平滑回路には、図4に示すコンデンサ入力形と図5に示すチョーク入力形がある。

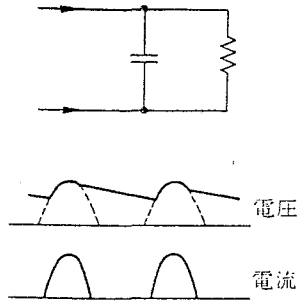


図4：コンデンサ入力形平滑回路

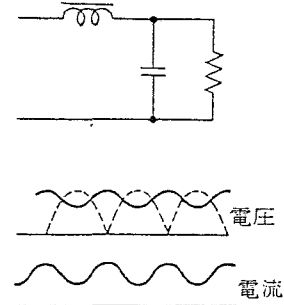


図5：チョーク入力形平滑回路

(1) コンデンサ入力形平滑回路

半波整流回路にコンデンサ入力形平滑回路を接続した例について述べる。図6がその回路で、図7はその出力波形である。図において、 R_L は負荷抵抗、 v_a は交流入力（平滑回路に対して）、 V_{am} はその最大値である。

いま、電源とダイオードの抵抗を無視すれば、コンデンサCはダイオードの導通時に V_{am} まで充電され、その後、交流入力の瞬時値が V_{am} より小さくなり、ダイオードが非導通になるとCは R_L を通して放電（Cと R_L の時定数に従って）を開始する。この状態は、交流入力の瞬時値が再び上昇してコンデンサの端子電圧より高くなるまで続く。このようにして、コンデンサの充放電が繰り返される。

なお、全波整流の場合も、放電時の周期が半分になるだけで、平滑の仕組みは半波整流の場合と全く同様である。

この平滑回路は軽負荷の場合に交流入力の最大値 V_{am} 近くまでの直流が得られる利点があるが、負荷に対する電圧変動率がやや大きいという欠点もある。

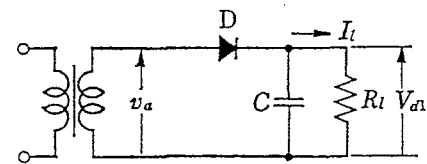


図6：コンデンサ入力形平滑回路

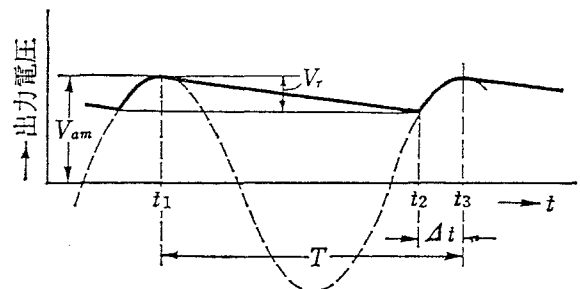


図7：コンデンサ入力形平滑回路の出力波形

- 。空心のコイルは Q が低い。
- 。インダクタンスや Q を大きくするため、高透磁率の磁心を用いる。

(2) チョーク入力形平滑回路

チョーク入力形平滑回路を図8に示す。この場合は、交流入力（整流出力）中の基本波および高調波分は直列の高インピーダンス($j\omega L$)によって阻止された後、並列の低インピーダンス($1/j\omega C$)で短絡されて、負荷にはほとんど流れない。また、コイルの抵抗は小さいので、このための電圧降下は極めて小さい。

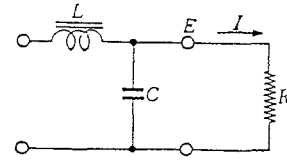


図8：チョーク入力形平滑回路

図9にチョーク入力形平滑回路の出力特性を示す。この図では、出力電圧は出力電流がある値(臨界点)になるまでは大きく変わるが、この値を越えると変化が極めて小さくなっている。

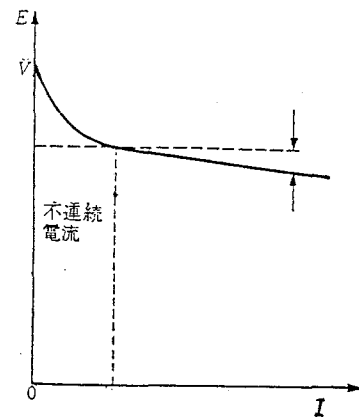


図9：チョーク入力形平滑回路の出力特性

すなわち、臨界点を越えるとチョークコイルに流れる電流の直流分が交流分(リップル)を上回り、そのためチョークコイルに流れる電流は連続して流れ、決して零になることはない。ところが、臨界点に達するまでは交流分の方が直流分を上回り、そのためチョークコイルを流れる電流が不連続になってしまうのである。

したがって、半波整流のようにチョークコイルに流れる電流が半周期毎に切れ目を生じる場合は、電源抵抗が大きくなって電源回路としては適さない。全波整流の場合には、この切れ目が生じないので、チョーク入力形平滑回路は全波整流の場合にのみ使用できるといえる。

(3) 平滑回路とろ波回路

平滑回路だけでは脈動分の除去は不十分であるので、さらに図10(a), (b)に示すようなRCフィルタやLCフィルタを接続して脈動分を除去する。この場合、ろ波回路は一般に平滑回路に含めて考えられ、両者の区別はなされない。

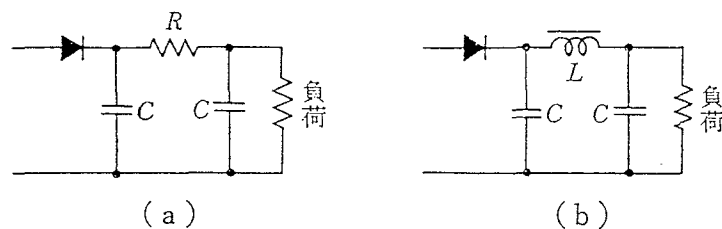


図10：平滑回路とろ波回路

【実験上の注意事項】

- [1] 実験に用いる「電源パネル」には、大別して以下に示す三つの回路が組み込まれている。
- (1) 単相全波整流回路(ダイオードを1個はずすと単相半波整流回路になる)
 - (2) 単相ブリッジ整流回路
 - (3) ツェナーダイオードを用いた安定化回路
- さらに、負荷との間には各種の平滑回路が接続できる形になっている。組み込まれている回路は複雑に組み込まれているので結線には十分注意すること。
- [2] 各測定器は必ずゼロ調整を行ってから使用すること。
- [3] ダイオードや変圧器に過大な電流を流さないこと。負荷に流すことができる最大電流は以下の通りである。
- (ア) 負荷接続端子TB01では 0.6 [A]
ただし、単相半波で使用する場合は 0.25 [A]
 - (イ) 負荷接続端子TB03でも (ア)と同じ
 - (ウ) 負荷接続端子TB05では 0.06 [A]
- [4] すべり抵抗器(負荷抵抗)を短絡しないよう、十分注意して加減すること。
- [5] 実験終了後は、C01~C07(電解コンデンサ)の両端の電圧を測定し、電圧が零であることを確認すること。もし、零でない場合には、コンデンサの両端を数百オームの抵抗で短絡し、確実に放電させて零にすること。
- [6] 以降の説明では、コンデンサ入力形平滑回路はろ波回路をも含めて図11のように区分している。

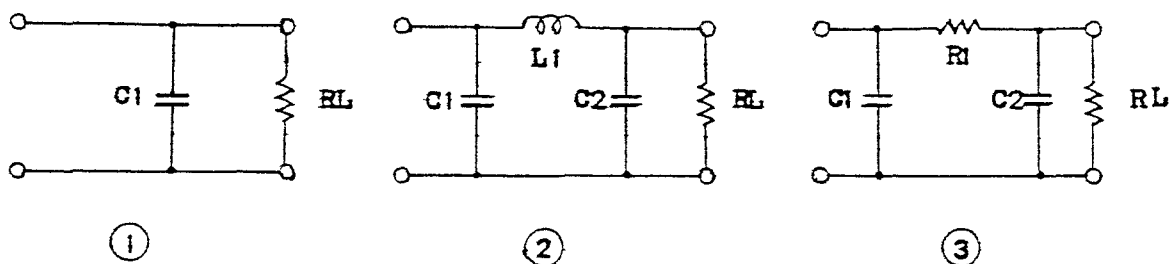


図11：コンデンサ入力形平滑回路の区分

I 单相半波整流回路

【接続図および使用器具】

- POWER SUPPLY
- SR : すべり抵抗器
- V_o : 直流電圧計
- V_1, V_2 : 交流電圧計
- オシロスコープ
- I_o : 直流電流計

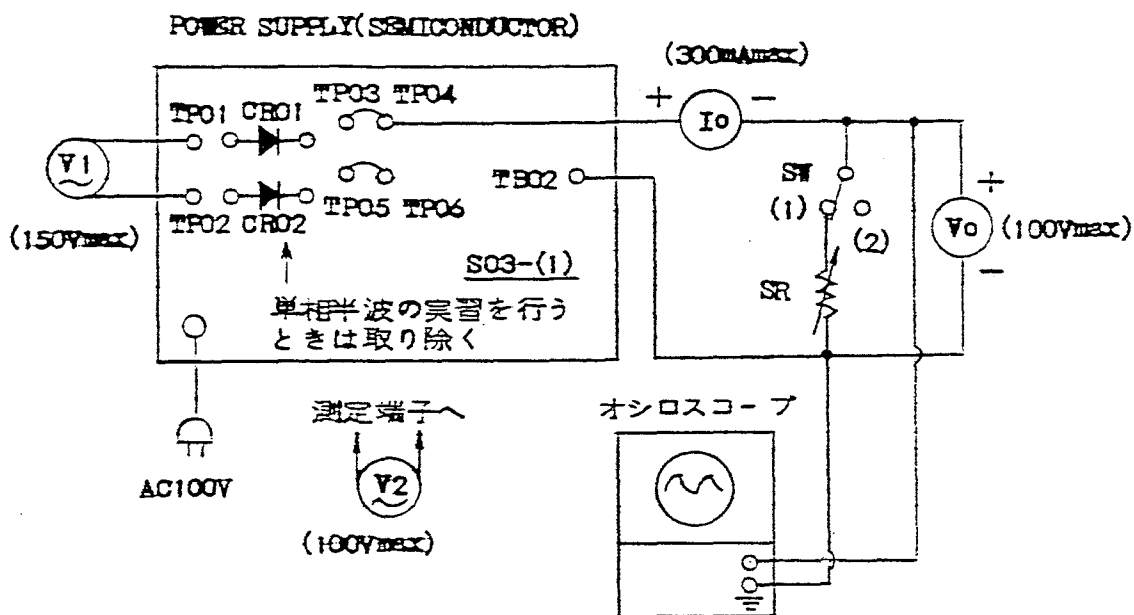


図12 : 单相半波 (および全波) 整流回路と平滑回路①の接続図

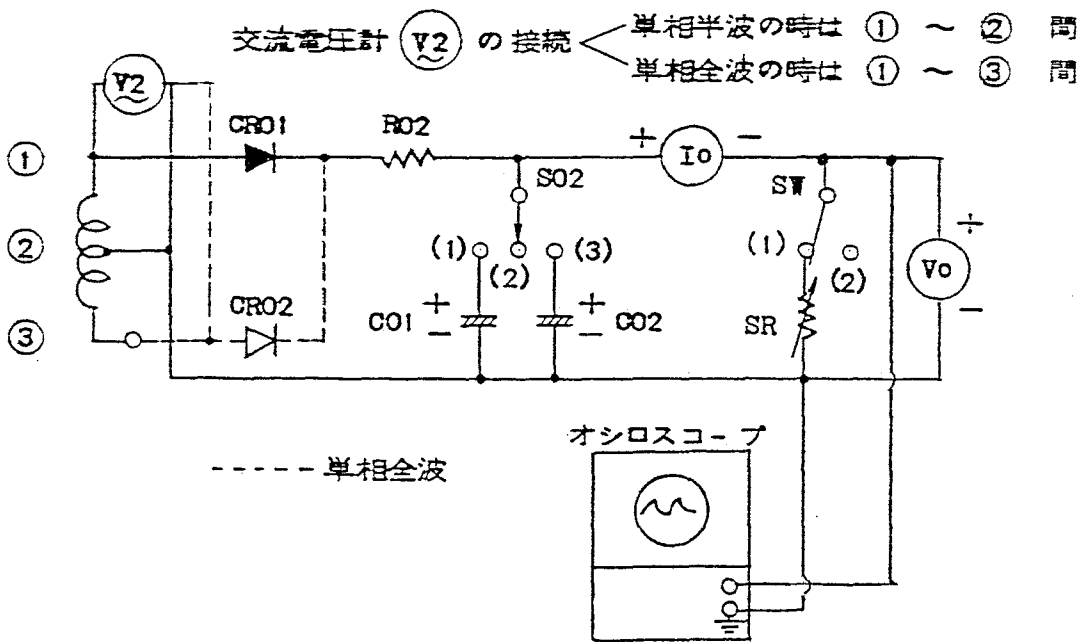


図13 : 单相半波 (および全波) 整流回路と平滑回路①の実験回路

◆ 波形観測(半波整流波形)

【測定方法】

- (1) 半波整流回路にするため、ダイオードCRO2を取り外す。
- (2) TP03とTP04, TP05とTP06を接続する。
- (3) スイッチS02は(2)側, S03は(1)側, SWは(1)側へ入れる。
- (4) すべり抵抗器SRを最大にして, 電源スイッチS01をONにする。
- (5) スライダックを調整してTP01とTP02間の電圧を100[V]とし, その時の二次側出力電圧 V_a をV2で読む。
- (6) オシロスコープで整流波形を観測し, 図を描く。また, 波形より電圧の最大値 V_m , 周期Tを, V_o により電圧の平均値 V_d を読みとって, V_a と共に表1に記録する。

◆ 平滑回路①の特性(半波整流波形入力)

【測定方法】

- (1) 前の実験(波形観測)の回路と変わるのは, スイッチS02を(1)側にするだけ。
- (2) すべり抵抗器SRを最大にして, 電源スイッチS01をONにする。
- (3) スライダックを調整してTP01とTP02間の電圧を100[V]とする。
- (4) オシロスコープでリップル波形を観測し, 図に描く。
- (5) スイッチSWを(2)側にして, 負荷電流 I_d が零の時の直流電圧 V_{d0} , リップル電圧 e_{p-p} を読み, 記録する。
次にスイッチSWを(1)側にして, すべり抵抗器SRにより負荷電流 I_d を20[mA]きざみに200[mA]まで漸次増大させ, I_d に対する V_d および e_{p-p} を読み, 記録する。
- (6) 次式により, リップル電圧の実効値およびリップル含有率を求める。
 - ・ 波形が三角波またはのこぎり波の場合の電圧の実効値 $|E|$ は
$$|E| = e_{p-p} / 2\sqrt{3}$$
 - ・ リップル含有率 $\delta = |E| / V_d \times 100$ [%]
- (7) 結果を表2の形式にまとめる。
- (8) スイッチS02を(3)側に切り換えて, (4)～(7)と同様な実験を行う。

◆ 平滑回路②, ③の特性

【接続図および使用器具】

- POWER SUPPLY
- SR: すべり抵抗器
- V_o : 直流電圧計
- V_1 : 交流電圧計
- オシロスコープ
- I_o : 直流電流計

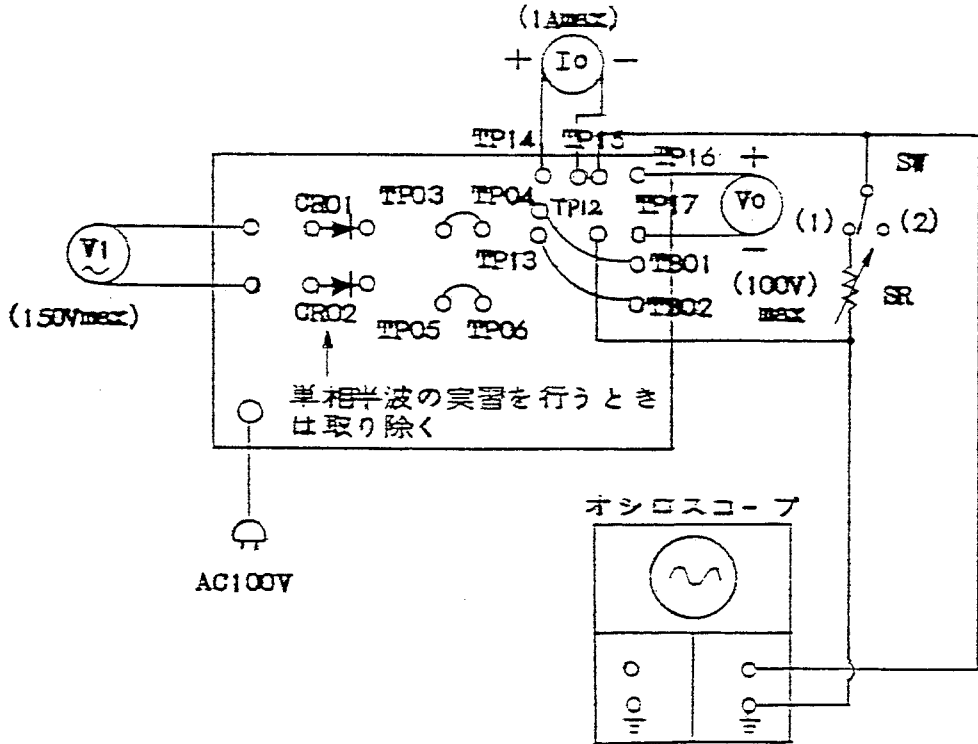


図14: 単相半波(および全波)整流回路と平滑回路②, ③の接続図

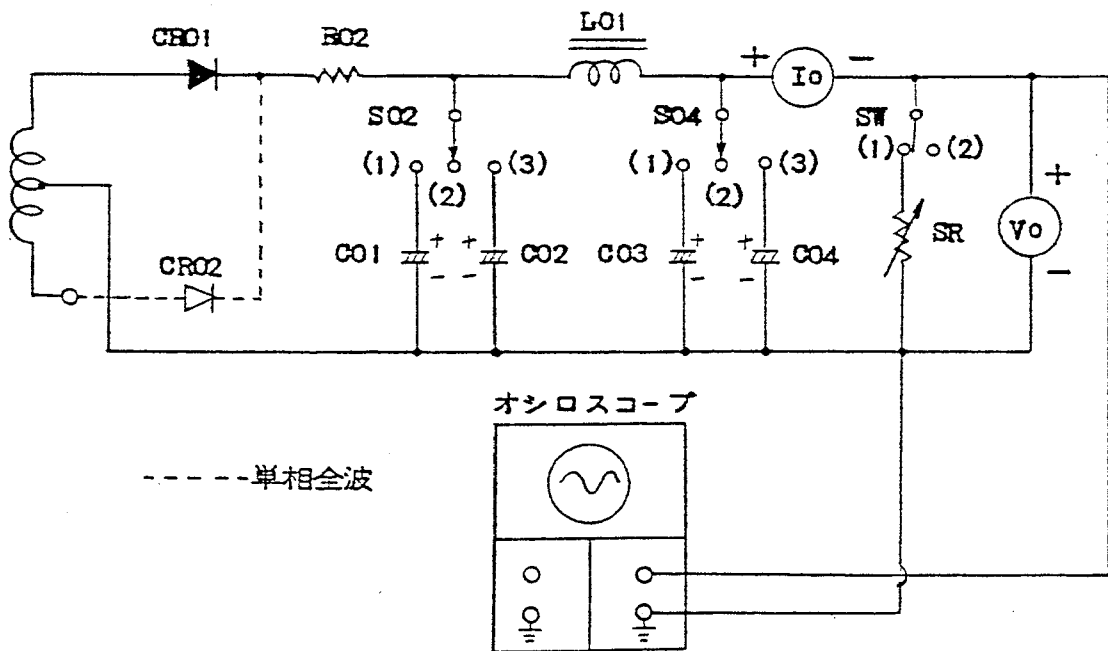


図15: 単相半波(および全波)整流回路と平滑回路②, ③の実験回路

◆ 平滑回路②の特性(半波整流波形入力)

【測定方法】

- (1) 半波整流回路にするため、ダイオードCRO2を取り外す。
- (2) TP03とTP04, TP05とTP06, TP04とTP12, TP13とTB02を接続する。
- (3) スイッチS02は(1)側, S03は(2)側, S04は(3)側, SWは(1)側へ入れる。
- (4) すべり抵抗器SRを最大にして, 電源スイッチS01をONにする。
- (5) スライダックを調整してTP01とTP02間の電圧を100〔V〕とする。
- (6) オシロスコープでリップル波形を観測し, 図に描く。
- (7) スイッチSWを(2)側にして, 負荷電流 I_d が零の時の直流電圧 V_{d0} , リップル電圧 e_{p-p} を読み, 記録する。
次にスイッチSWを(1)側にして, すべり抵抗器SRにより負荷電流 I_d を20〔mA〕きざみに200〔mA〕まで漸次増大させ, I_d に対する V_d および e_{p-p} を読み, 記録する。
- (8) 次式により, リップル電圧の実効値およびリップル含有率を求める。
 - ・ リップル波形はほぼ正弦波に近いので, 電圧の実効値 $|E|$ は
$$|E| = e_{p-p} / 2\sqrt{2}$$
 - ・ リップル含有率 $\delta = |E| / V_d \times 100$ 〔%〕
- (9) 結果を表3の形式にまとめる。

II 单相全波整流回路

【接続図および使用器具】

図12において, ダイオードCRO2を取り付ければ全波整流回路となる。

◆ 波形観測(全波整流波形)

【測定方法】

ダイオードCRO2を取り付けて, 「半波整流」の「波形観測」の(2)以降と同様の実験をする。

◆ 平滑回路①の特性(全波整流波形入力)

【測定方法】

ダイオードCR02を取り付けて、「半波整流」の「平滑回路①の特性」の(1)～(7)と同様の実験をする。

◆ 平滑回路②の特性(全波整流波形入力)

【接続図および使用器具】

図14において、ダイオードCR02を取り付ければ全波整流回路となる。

【測定方法】

ダイオードCR02を取り付けて、「半波整流」の「平滑回路②の特性」の(2)以降と同様の実験をする。

◆ 平滑回路③の特性(全波整流波形入力)

【接続図および使用器具】

図14において、ダイオードCR02を取り付けた後、前の実験の回路と変わる部分を以下に示す。

- ・ スイッチS03を(1)側に入れる。
- ・ ホーロー抵抗R04を取り外し、チョークコイルの位置に取り付ける。
- ・ スイッチS02は(1)側、S04は(1)側に入れる。

【測定方法】

「半波整流」の「平滑回路②の特性」の(2)～(8)と同様の実験をする。
結果を表4の形式にまとめる。

◆ チョーク入力形平滑回路の特性

【接続図および使用器具】

図14において、ダイオードCRO2を取り付けた後、前の実験の回路と変わる部分を以下に示す。

- ・ スイッチS03を(2)側に入れる。
- ・ ホーロー抵抗R04を取り外し、元の位置に取り付ける。
- ・ スイッチS02は(2)側、S04は(1)側に入れる。

【測定方法】

「半波整流」の「平滑回路②の特性」の(2)～(8)と同様の実験をする。
結果を表5の形式にまとめる。

Ⅲ 单相ブリッジ整流回路

◆ 波形観測(全波整流波形)

【接続図および使用器具】

図12において、TP03-TP04, TP05-TP06の接続を切り離し、TP04とTP07, TP06とTP09を接続すればブリッジ形の全波整流回路となる。この時、実験回路は図16のようにになっている。

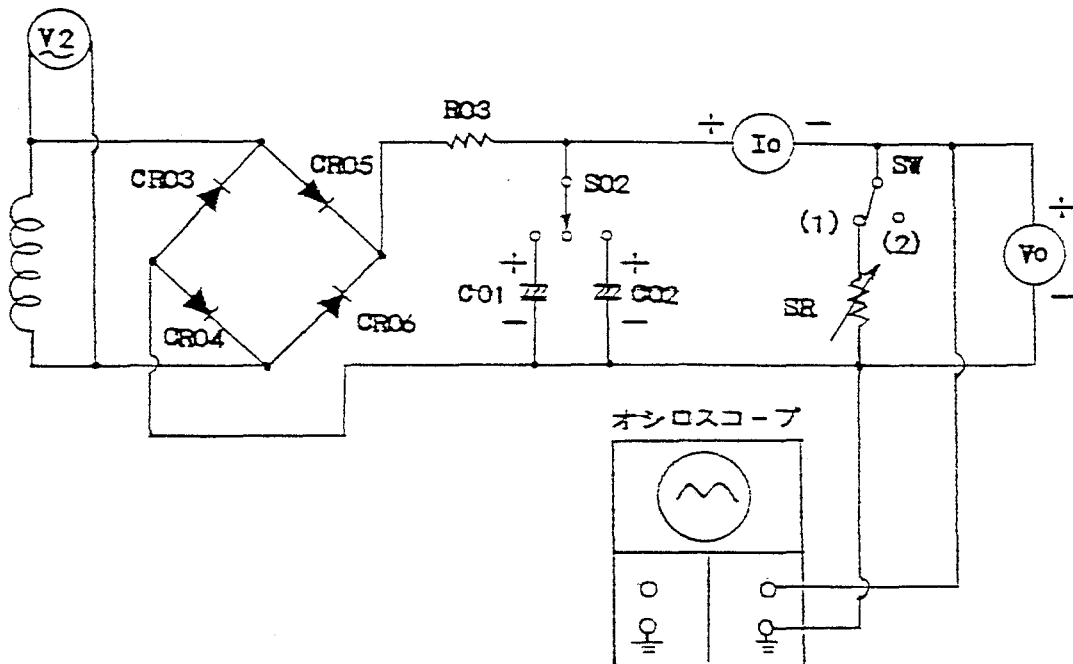


図16：单相ブリッジ整流回路の波形観測回路

【測定方法】

「半波整流」の「波形観測」の(2)以降と同様の実験をする。

【結果】

《表 1》

二次側出力電圧 実効値 V_a [V]	出力電圧 (整流後の)		周期 T [Sec]	周波数 $f = 1/T$ [Hz]	備考
	最大値 V_m [V]	平均値 V_o [V]			
					単相半波整流
					単相全波整流
					単相ブリッジ全波整流

《表 2》

平滑用 コンデンサ C1 [μ F]	出力電流		出力電圧		リップル電圧		リップル 含有率 δ [%]	備考
	平均値 I_o [mA]	平均値 V_o [V]	p-p値 e_{p-p} [V]	実効値 $ E $ [V]				
	0							
	20							
	40							
	:							
	200							

《表 3》

チョーク コイル L01 [H]		平滑用 コンデンサ C1 [μ F] C2 [μ F]		出力電流		出力電圧		リップル電圧		リップル 含有率 δ [%]	備考
				平均値 I_o [mA]	平均値 E_o [V]	p-p値 e_{p-p} [V]	実効値 $ E $ [V]				
				0							
				20							
				40							
				:							
				200							

《表 4》

フィルタ 用抵抗 R [Ω]	平滑用 コンデンサ C1 [μ F] C2 [μ F]		出力電流		出力電圧		リップル電圧		リップル 含有率 δ [%]	備考
			平均値 I_o [mA]	平均値 E_o [V]	p-p値 e_{p-p} [V]	実効値 $ E $ [V]				
			0							
			20							
			40							
			:							
			200							

《表5》

チョーク コイル		平滑用 コンデンサ	出力電流	出力電圧	リップル電圧		リップル 含有率	備考
			平均値	平均値	p-p値	実効値		
L01 [H]	r [Ω]	C2 [μF]	I_o [mA]	E_o [V]	e_{p-p} [V]	$ E $ [V]	δ [%]	
			0					
			20					
			40					
			:					
			200					

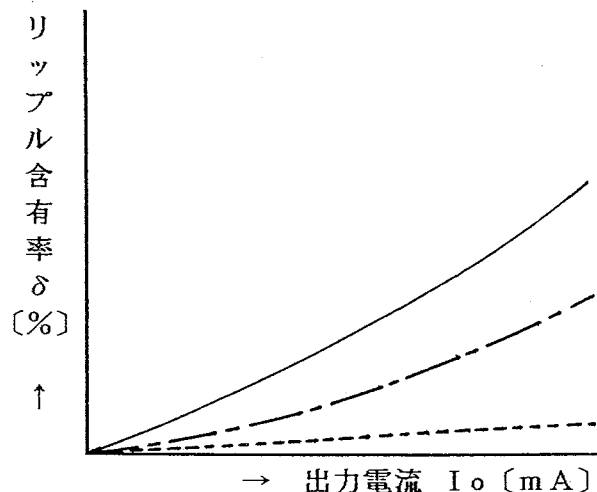
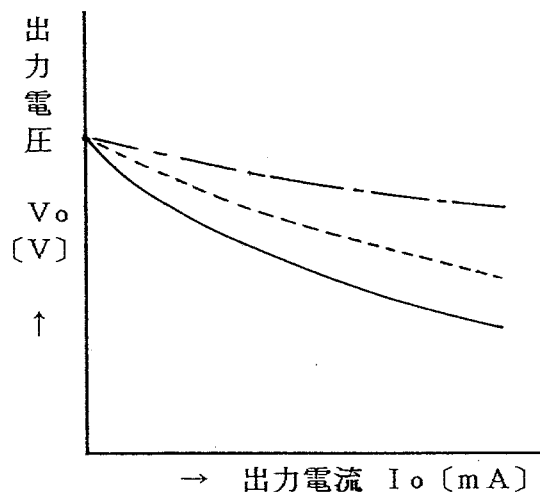
以上の結果を用いて、以下のようなグラフを描く。

(1) 波形

- (イ) 单相半波整流波形
- (ロ) " 全波 "
- (ハ) " ブリッジ全波 "

(2) コンデンサ入力形平滑回路①の特性

- (イ) 「出力電流-出力電圧」特性
- (ロ) 「出力電流-リップル含有率」特性

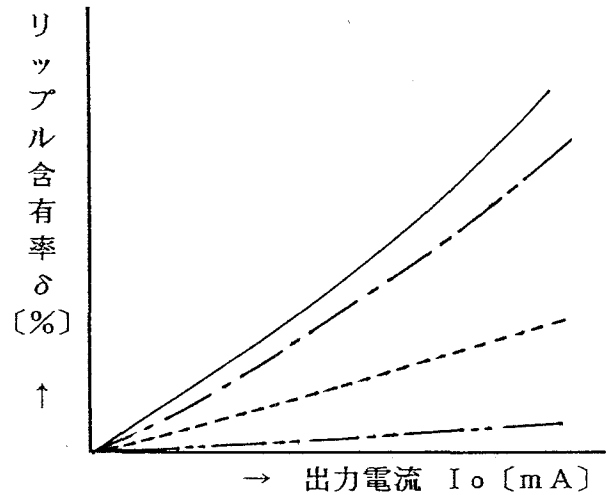
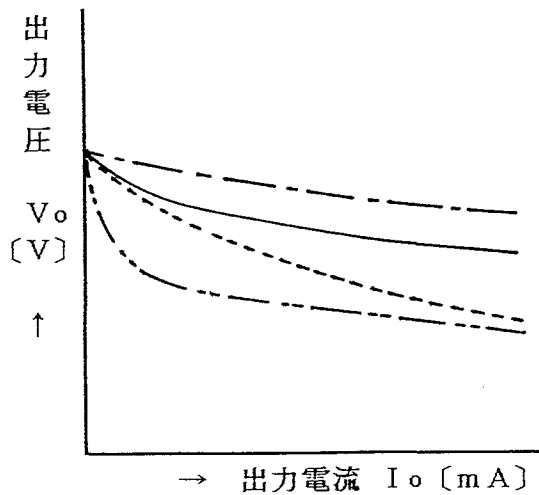


- ★ パラメータ：
- 〈1〉 单相半波整流・C1= _____ [μF]
 - 〈2〉 单相半波 "・C1= _____ [μF]
 - 〈3〉 " 全波 "・C1= _____ [μF]

(3) その他各種平滑回路の特性

(イ) 「出力電流-出力電圧」特性

(ロ) 「出力電流-リップル含有率」特性



★ パラメータ:

- 〈1〉 単相半波整流コンデンサ入力形平滑回路 (チョークコイルによる π 形) ②
 $\cdot C1 = \underline{\hspace{2cm}} [\mu F]$ $\cdot L01 = \underline{\hspace{2cm}} [H]$ $\cdot C2 = \underline{\hspace{2cm}} [\mu F]$
- 〈2〉 単相全波整流コンデンサ入力形平滑回路 (チョークコイルによる π 形) ②
 $\cdot C1 = \underline{\hspace{2cm}} [\mu F]$ $\cdot L01 = \underline{\hspace{2cm}} [H]$ $\cdot C2 = \underline{\hspace{2cm}} [\mu F]$
- 〈3〉 単相全波整流コンデンサ入力形平滑回路 (抵抗による π 形) ③
 $\cdot C1 = \underline{\hspace{2cm}} [\mu F]$ $\cdot R = \underline{\hspace{2cm}} [\Omega]$ $\cdot C2 = \underline{\hspace{2cm}} [\mu F]$
- 〈4〉 単相全波整流チョーク入力形平滑回路
 $\cdot L01 = \underline{\hspace{2cm}} [H]$ $\cdot C2 = \underline{\hspace{2cm}} [\mu F]$

◆ 考 察

- (1) コンデンサ入力形平滑回路①の結果より, 半波整流の場合と全波整流の場合の違いと, その理由を述べよ.
- (2) 半波整流波形の平滑回路としてコンデンサ入力形を用いた場合, ①と②とではリップル電圧の波形が異なる. その理由を述べよ.
- (3) 実験結果より, コンデンサ入力形平滑回路②と③の得失を述べよ.
- (4) コンデンサ入力形平滑回路とチョーク入力形平滑回路の特徴を挙げ, どのように使い分けられているか述べよ.
- (5) チョーク入力形平滑回路において交流分を平滑するための条件を求め, 実験結果と比較検討せよ.

発振回路

【目的】

代表的なCR発振器の一種である移相形CR発振器の仕組みと、その動作原理を調べるとともに、発振条件、発振周波数などの発振器の特性を理解する。

【原理】

一定振幅、一定周波数の電気振動を継続して発生する現象を「発振」と言い、このような電気振動を発生する回路を発振回路と言う。

電気振動を継続して発生させるためには、発振回路にエネルギーの供給が必要となるが、この供給は直流電源によってなされる。すなわち、発振器とは直流エネルギーを振動エネルギーに変換する装置であるとも言える。

電気振動回路は、大別して ①自励振振動回路 ②他励振振動回路 ③パラメータ励振振動回路に分けられ、このうち自励振の正弦波発振回路は、さらに(a)4端子発振回路と(b)2端子発振回路に分類される。前者は、出力の一部を入力に戻すいわゆる帰還増幅の機構を持ち、後者は負性抵抗素子と共振回路の組み合わせから成っている。

本実験で用いるCR発振回路は4端子発振回路に分類されるので、以降は4端子発振回路の原理について述べる。

4端子発振回路は、図1のように利得Gの増幅器の出力 e_o が帰還回路を通してH倍されて入力に戻される構造となっており、このことは次式で表される。

$$G(e_i + He_o) = e_o$$

したがって、帰還をかけたときの電圧利得 G_F は

$$G_F = \frac{e_o}{e_i} = \frac{G}{1 - GH}$$

増幅器は、基本的には電子の運動によって動作するが、電子の動きには時間的な「ゆらぎ」(雑音成分)がある。もし、Hの回路(帰還回路)に周波数選択性を持たせておけば、この「ゆらぎ」成分の中から特定の周波数成分の振動だけが次第に成長し、平衡状態では持続振動となる。このように振動が成長する過程を「発振が立ち上がる」と言い、振動が成長するためには

$$He_o > e_i$$

が成り立たなければならない。

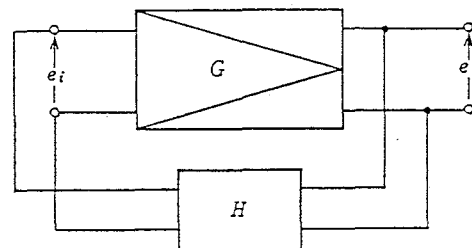


図1：4端子発振器の原理構成

すなわち、

$$G = \frac{e_o}{e_i} > \frac{1}{H} \quad \Leftrightarrow \quad GH > 1$$

が成立することが必要である。Hを帰還係数（帰還率とも言う）、GHをループ利得と言う。

そして、増幅器は無限に大きい出力を出すことはできないので、振動が成長すると振幅制限効果が働いて

$$e_i = H e_o \quad \Leftrightarrow \quad G = \frac{e_o}{e_i} = \frac{1}{H} \quad \Leftrightarrow \quad GH = 1$$

が成り立つような状態で平衡する。この状態が『発振』である。

利得Gはそれ自体複素数であり、位相回転を伴うが、良好な発振回路を得るためには、目的の発振周波数においては実数とみなせるような素子を選ばなければならない。

すなわち、Gは入力と出力が同相（0相、または利得が正であるとも言う）か、または逆相（ π 相、または利得が負であるとも言う）でなければならない。したがって、 $GH = 1$ を満足するためにはHも実数でなければならず、Hの虚数部は0ということになる。

4端子発振回路は、大別してLC発振回路とCR発振回路に分類できるが、本実験ではCR発振回路を対象とするので、以降はCR発振回路について述べる。

◆ CR発振回路

CR発振回路は、大別して

- ① 180°移相回路と逆相（位相反転とも言う）増幅回路の組み合わせ
- ② 0位相選択回路と正相増幅回路の組み合わせ

に分類される。本実験で用いるCR発振回路は形式①の回路で、一般に移相形CR発振回路と呼ばれ、図2の構成となっている。

逆相増幅回路としては、エミッタ接地形の増幅回路がその条件を満たしており、入力インピーダンス小、出力インピーダンス大の電流増幅器として働くことから、以降は利得の計算は電流利得 A_i で行うものとする。

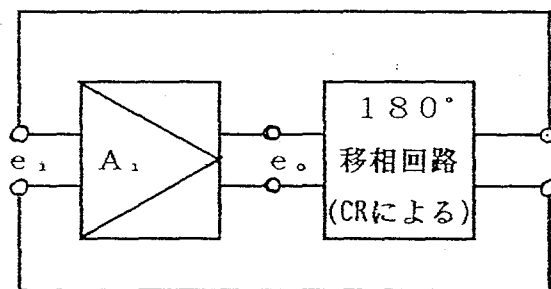


図2：移相発振器

CRを用いた移相回路としては、
図3のように (a)進相形と(b)遅相形
の2通りが考えられるが、ここで
は進相形について、その移相理論を
述べる。

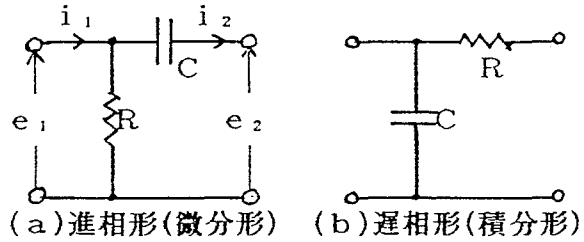


図3：移相回路の基本形

図3(a)のように電圧、電流の分布を仮定すれば

$$\begin{pmatrix} e_1 \\ i_1 \end{pmatrix} = \begin{pmatrix} 1 & 1/j\omega C \\ 1/R & 1 + 1/j\omega CR \end{pmatrix} \begin{pmatrix} e_2 \\ i_2 \end{pmatrix}$$

が成り立つ。ここで、 e_2 が極めて小さく、無視できるものとするれば

$$i_1 \cong \left(1 + \frac{1}{j\omega CR} \right) i_2$$

ここで $x = 1/\omega CR$ とおけば、電流伝送比 A_F は

$$A_F = \frac{i_2}{i_1} = \frac{1}{1 + 1/j\omega CR} = \frac{1}{1 - jx} = \frac{1}{1 + x^2} + j \frac{x}{1 + x^2}$$

となり、その移相角 θ と大きさ $|A_F|$ は

$$\theta = \tan^{-1} x \quad , \quad |A_F| = \frac{1}{\sqrt{1 + x^2}}$$

で表される。

すなわち、移相角 θ は

$$\begin{aligned} x \ll 1 \quad \text{のとき} & \quad \theta \rightarrow +0^\circ \\ x = 1 \quad \text{のとき} & \quad \theta = +45^\circ \\ x \gg 1 \quad \text{のとき} & \quad \theta \rightarrow +90^\circ \end{aligned}$$

となり、 x の全範囲において、最大 90° しか移相できないことが分かる。また、 $x \gg 1$ のときは、 $|A_F|$ が極めて小さくなり、 i_2 の振幅減衰量が余りにも大きくなって実用的でない。

したがって、厳密には θ を 90° とすることは不可能であるから、 180° の移相を実現するためには、図4のようにこの移相回路を少なくとも3段縦続接続することが必要である。

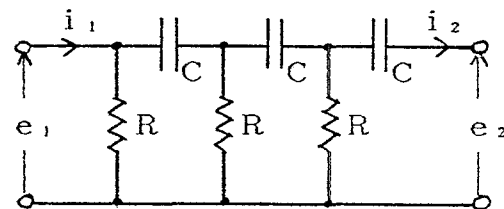


図4：3段縦続接続による移相回路

この場合

$$\begin{pmatrix} e_1 \\ i_1 \end{pmatrix} = \begin{pmatrix} 1 & 1/j\omega C \\ 1/R & 1+1/j\omega CR \end{pmatrix} \begin{pmatrix} e_2 \\ i_2 \end{pmatrix} = \begin{pmatrix} 1 & -jRx \\ 1/R & 1-jx \end{pmatrix} \begin{pmatrix} e_2 \\ i_2 \end{pmatrix}$$

であるから、 e_2 が極めて小さく、無視できるものとするれば

$$i_1 \doteq \{(1-5x^2) - jx(6-x^2)\} i_2$$

ここで、増幅器の電流利得 A_i を実数とすれば、発振条件

$$A_i A_F = 1 \quad (\text{電流増幅率})$$

より、 A_F もまた実数でなければならない。

$$\therefore x(6-x^2) = 0$$

これより

$$x = 1/\omega CR = \sqrt{6}$$

したがって、発振周波数 f は

$$f = \frac{1}{2\sqrt{6}\pi CR}$$

また、この場合の A_F は

$$A_F = \frac{i_2}{i_1} = \frac{1}{1-5x^2} = -\frac{1}{29}$$

であるから、発振条件より、発振に必要な電流利得 A_i は

$$A_i = 1/A_F = -29$$

となる。この負号については、位相が逆になる増幅器と考えれば理解できよう。

そして、発振を確実に立ち上げるためには

$$|A_i| \geq 29$$

となる。この条件は、「振幅成長条件」とも言われ、移相回路による振幅減少もこれによって補われている。

I 発振周波数と増幅度の測定

【接続図および使用器具】

- ① 2現象オシロスコープ ② 低周波発振器 ③ 真空管電圧計（2台）
- ④ 直流電源（24V） ⑤ 直流電圧計
- ⑥ C R OSCILLATOR（PHASE SHIFT TYPE：移相形）：実習パネル

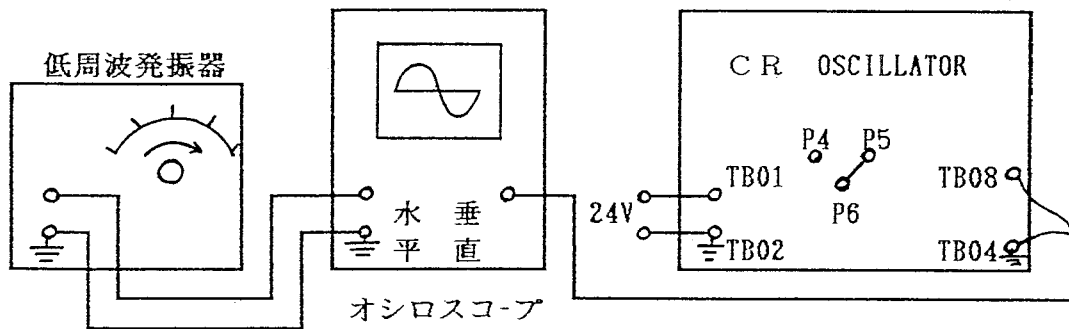


図5：接続図-1

【測定方法】

- (1) 実習パネルの直流電圧を+24Vに調節する。
- (2) オシロスコープで発振出力（TB08-TB04間）波形を観測し、出力電圧を記録する。
- (3) オシロスコープの水平軸に低周波発振器を接続し、リサージュ図形を描かせることにより発振周波数を求め、記録する。
- (4) オシロスコープでトランジスタのベース波形を観測し、交流電圧（入力電圧）の大きさを読み、記録する。
- (5) 結果を表1のようにまとめる。

II 位相差の測定 - 1

【接続図，使用器具および測定方法】

- (1) 図5の接続図において，TB08の出力波形をオシロスコープの水平軸に，R18の両端の波形を垂直軸に接続し，ブラウン管上にリサージュ図形を描かせる。（このとき，水平軸と垂直軸のレベルを等しくする）
- (2) リサージュ図形から，位相差を次式により算出する。

- ◆ 実線の場合（右上がり）

$$\theta = \sin^{-1} \frac{b}{a}$$

- ◆ 破線の場合（右下がり）

$$\theta = 180^\circ - \left| \sin^{-1} \frac{b}{a} \right|$$

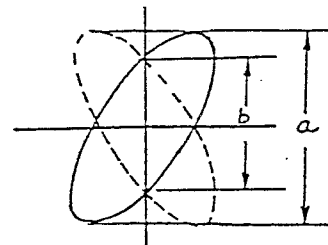


図6：リサージュ図形

- (3) 同様に、TB08の出力波形とR19の両端の波形の位相差、TB08の出力波形とTR02のベース波形の位相差を求め、記録する。
- (4) 結果を表2のようにまとめる。

III 位相差の測定 - 2

【接続図，使用器具および測定方法】

- (1) オシロスコープの第1現象の垂直軸に基準信号波形を接続すると同時に、外部同期接続端子にも同じ信号を接続する。
- (2) 図8のようにブラウン管上に波形を設定する。(実線)
- (3) 比較信号を第2現象に接続し、オシロスコープの V MOD を ALTに切り換えて、位相差を測定する。この場合、1 DIVISION = 40° となるから、測定は容易である。また、このとき波形がが静止するように微細に外部同期をとるように注意する。

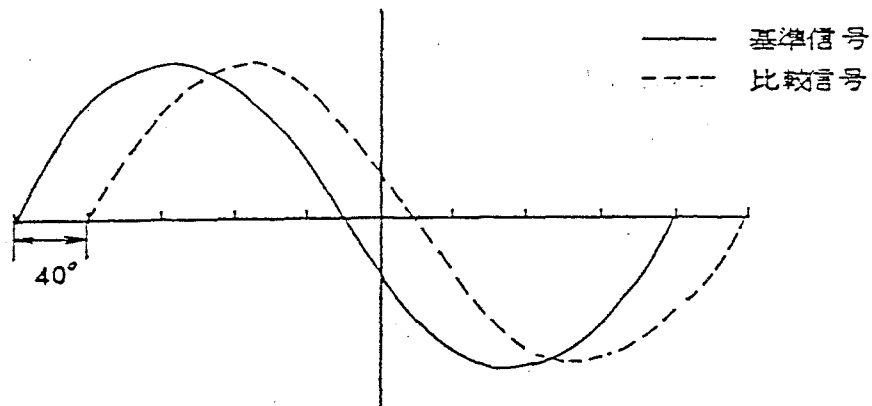


図7：2現象を利用した位相差

IV 入出力特性

【接続図および使用器具】

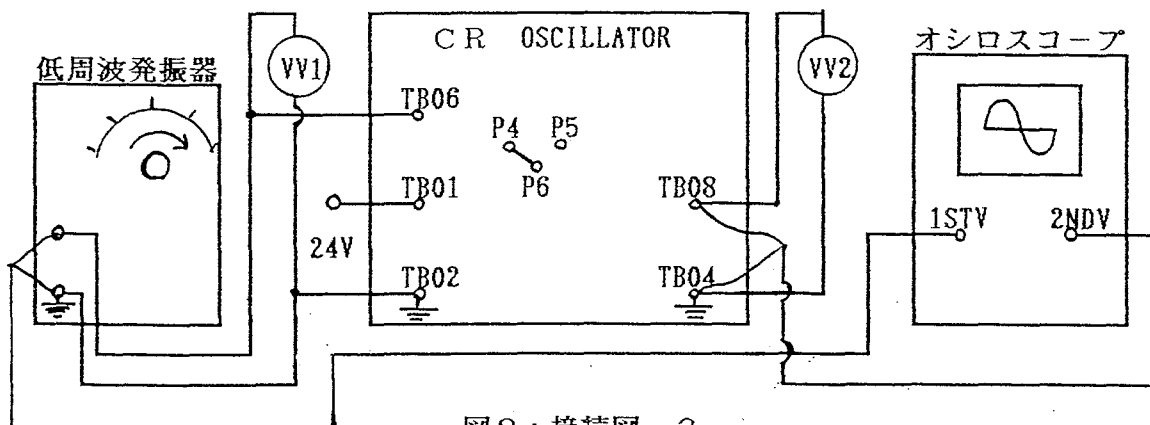


図8：接続図 - 2

【測定方法】

- (1) 図8のように接続し，実習パネルの直流電圧を+24Vに調節する。
- (2) 低周波発振器の周波数を実験Iで求めた発振周波数に調節する。
- (3) 低周波発振器の出力電圧を0Vから徐々に変化させ，そのときのトランジスタのベース電圧（入力電圧： e_i ）に対するTB08-TB04間の電圧（出力電圧： e_o ）を読み，記録する。
- (4) 結果を表3のようにまとめ，図9のようなグラフを作る。

【結果】

実験 I (表 1)

	発振周波数(Hz)		ベース電圧	出力電圧	増幅度
	実測値	計算値	e_i [V _{p-p}]	e_o [V _{p-p}]	$A_i = e_o / e_i$
C = 3300 [PF] R = 10 [KΩ]					

実験 II, III (表 2)

	位相差 θ [度]		
	R18	R19	TR02のベース
TB08 (出力波形)			

実験 IV (表 3)

入力電圧 e_i [V]	出力電圧 e_o [V]	増幅度 $A_i = e_o / e_i$

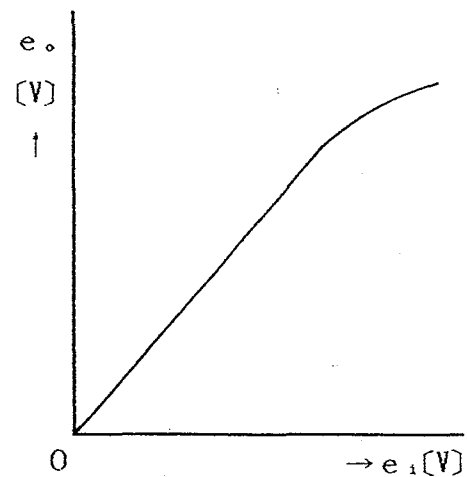
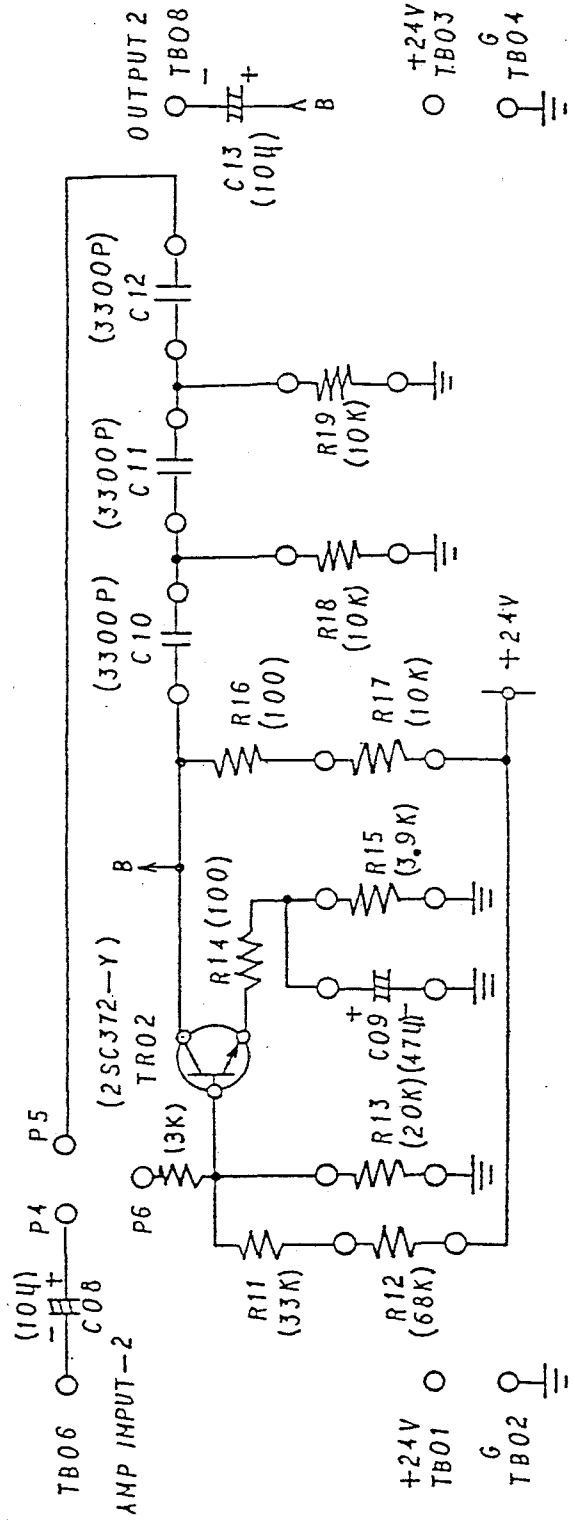
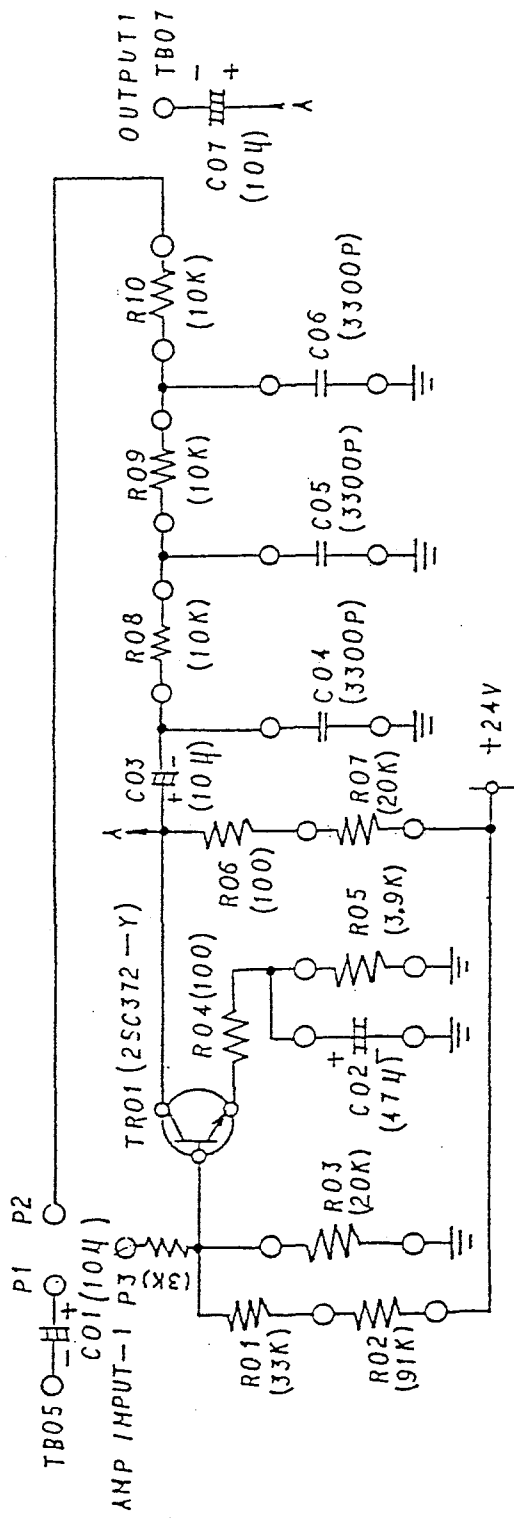


図9：入出力特性

【考察】

- (1) 本実験で用いたCR発振器は「並列R形発振器」であるが、RとCを取り替えた形の「並列C形発振器」について述べよ。
- (2) 発振定数R, CのうちRをそのままにしてCの値を変えたとき、発振周波数はどのように変わるか。5例ほど計算し、グラフを描け。
- (3) 実験Ⅳにおいて、 e_o が飽和領域に入る近傍の入出力波形を観測し、考察を加えよ。
- (4) CR発振器とLC発振器を比較せよ。

CR OSCILLATOR (PHASE SHIFT TYPE)



ひずみ波交流の周波数分析

【目的】

FFT (Fast Fourier Transform : 高速フーリエ変換) アナライザを用いて、各種ひずみ波交流の周波数分析ならびに各高調波成分のレベル分析を行い、ひずみ波交流の性質や取り扱い方を理解するとともに、FFTアナライザの原理およびその使用法を習得する。

【原理】

「電気回路」の授業でも学んだように、正弦波以外の波形をもつ交流を『ひずみ波交流』という。波形のひずみ(正弦波からのひずみ)が少ないときは、これと等価な正弦波として取り扱うことができるが、ひずみの度合いが大きいときはそのような取り扱いはできない。

図1に例示するように、ひずみ波は周波数の異なった複数の正弦波が重なったものと考えられる。

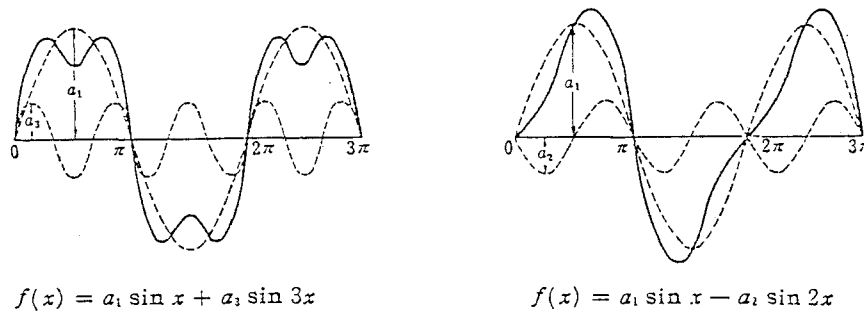


図1：ひずみ波交流の例

一般に、変数 x の関数 $f(x)$ が 2π の周期をもつ周期関数であるとき、すなわち $f(x) = f(x + 2\pi)$ であるときは、 $f(x)$ はつぎのようなフーリエ級数に展開することができる。★「電気回路」の教科書121ページ参照

$$f(x) = a_1 \sin x + a_2 \sin 2x + a_3 \sin 3x + \dots \\ + b_0 + b_1 \cos x + b_2 \cos 2x + b_3 \cos 3x + \dots$$

周期関数 $f(x)$ を時間 t の関数として表すと、次式のようになる。

★「電気回路」の教科書125ページ参照

$$f(t) = b_0 + \sum_{n=1}^{\infty} (a_n \sin n\omega t + b_n \cos n\omega t) \\ = b_0 + \sum_{n=1}^{\infty} A_n \sin(n\omega t + \phi_n)$$

ただし、 $A_n = \sqrt{a_n^2 + b_n^2}$, $\phi_n = \tan^{-1} \frac{b_n}{a_n}$

ここで、 b_0 は直流成分、 A_n 、 ϕ_n は交流成分（基本波およびその整数倍の周波数をもつ高調波）の振幅と位相である。

また、オイラーの等式（Euler's equation）によれば

$$e^{jn\omega t} = \cos(n\omega t) + j\sin(n\omega t)$$

$$e^{-jn\omega t} = \cos(n\omega t) - j\sin(n\omega t)$$

これより

$$\cos(n\omega t) = \frac{e^{jn\omega t} + e^{-jn\omega t}}{2}, \quad \sin(n\omega t) = -j \frac{e^{jn\omega t} - e^{-jn\omega t}}{2}$$

これを用いると、前式はつぎのように表される。（直流分 b_0 を省いてある）

$$\begin{aligned} f(t) &= \sum_{n=0}^{\infty} \left\{ \frac{1}{2} b_n (e^{jn\omega t} + e^{-jn\omega t}) - j \frac{1}{2} a_n (e^{jn\omega t} - e^{-jn\omega t}) \right\} \\ &= \sum_{n=0}^{\infty} \left\{ \frac{1}{2} (b_n - j a_n) e^{jn\omega t} + \frac{1}{2} (b_n + j a_n) e^{-jn\omega t} \right\} \end{aligned}$$

ここで

$$c_n = \frac{1}{2} (b_n - j a_n) \quad c'_n = \frac{1}{2} (b_n + j a_n)$$

とおけば

$$f(t) = \sum_{n=0}^{\infty} (c_n e^{jn\omega t} + c'_n e^{-jn\omega t}) \quad \dots\dots\dots \times 1$$

両辺に $e^{-jm\omega t}$ ($m=1, 2, \dots$) を乗じ、 t について $0 \sim T$ まで積分すると

$$\int_0^T f(t) e^{-jm\omega t} \cdot dt = \sum_{n=0}^{\infty} \int_0^T \{ c_n e^{j(n-m)\omega t} + c'_n e^{-j(n+m)\omega t} \} \cdot dt$$

◆ $m \neq n$ の場合

$$\text{右辺} = \sum_{n=0}^{\infty} \left[\frac{c_n}{j(n-m)\omega} e^{j(n-m)\omega t} - \frac{c'_n}{j(n+m)\omega} e^{-j(n+m)\omega t} \right] \Bigg|_0^T$$

ここで

$$e^{j(n-m)\omega T} = e^{-j(n+m)\omega T} = 1 \quad (\because \omega T = 2\pi)$$

$$\therefore \int_0^T f(t) e^{-jm\omega t} \cdot dt = 0$$

◆ $m = n$ の場合は

$$\text{右辺} = \sum_{n=0}^{\infty} \int_0^T (c_n + c'_n e^{-j2n\omega t}) \cdot dt = \int_0^T c_n \cdot dt = c_n T$$

$$\therefore \int_0^T f(t) e^{-jn\omega t} \cdot dt = c_n T$$

したがって

$$c_n = \frac{1}{T} \int_0^T f(t) e^{-jn\omega t} \cdot dt \quad \dots\dots\dots \times 2$$

同様に、※1式の両辺に $e^{jn\omega t}$ ($m=1,2,\dots$) を乗じ、 t について $0\sim T$ まで積分すると、 $m\neq n$ の場合には0となるため

$$\int_0^T f(t) e^{jn\omega t} \cdot dt = \int_0^T c_n \cdot dt = c_n T$$

したがって

$$c_n = \frac{1}{T} \int_0^T f(t) e^{jn\omega t} \cdot dt$$

※2式において、 $n = -n$ とおくと

$$c_{-n} = \frac{1}{T} \int_0^T f(t) e^{jn\omega t} \cdot dt = c_n$$

となるので、※1式はつぎのように表される。

$$f(t) = \sum_{n=-\infty}^{\infty} (c_n e^{jn\omega t} + c_{-n} e^{-jn\omega t}) = \sum_{n=-\infty}^{\infty} c_n e^{jn\omega t} \quad \text{※3}$$

ここで

$$c_n = \frac{1}{T} \int_0^T f(t) e^{-jn\omega t} \cdot dt$$

これを複素フーリエ級数という。

フーリエ級数では、ある有限の時間領域だけを問題にしたが、その時間領域を無限大にしたとき、すなわち※3式において $T \rightarrow \infty$ にしたときの極限をとると、次式が得られる。

$$f(t) = \frac{1}{T} \int_{-\infty}^{\infty} F(\omega) e^{jn\omega t} \cdot d\omega \quad \dots\dots\dots \text{※4}$$

$$F(\omega) = \int_{-\infty}^{\infty} f(t) e^{-jn\omega t} \cdot dt \quad \dots\dots\dots \text{※5}$$

上2式はフーリエ変換対と呼ばれる。※5式が順方向フーリエ変換で、時間領域から周波数領域に変換する式であり、※4式が逆方向フーリエ変換で、周波数領域から時間領域に変換する式である。

時間領域から周波数領域への変換を行うと、次式のように「振幅情報」と「位相情報」が明らかになる。

$$F(\omega) = |F(\omega)| e^{j\phi(\omega)} = |F(\omega)| e^{j\phi(\omega)}$$

実際に周波数分析をデジタル信号処理で行うためには、測定時間は有限な範囲に制約され、その範囲内で離散的な時系列信号の処理を行うことになる。

いま、長さ N の時系列信号 $f(t)$ ($t=0,1,2,\dots,N-1$)を仮定すると、離散的な周波数系列信号 $F(\omega)$ との間には次の関係が成立する。

$$F(f) = \sum_{t=0}^{N-1} f(t) \varepsilon^{-j2\pi f t/N}$$

$$f(t) = \frac{1}{N} \sum_{f=-N/2}^{N/2-1} F(f) \varepsilon^{j2\pi t f/N}$$

この式は離散的フーリエ変換(Discrete Fourier Transform : 略してDFT)とその逆変換(Inverse DFT : 略してIDFT)と呼ばれ、相関関数や周波数スペクトラムなどの時間および周波数領域でのデジタル信号処理の基礎となるものである。

FFTはDFTの計算で同じ乗算を何回も繰り返すことがないように、演算の手順を合理化したものである。それはデータサンプル数Nが2つ以上の整数 n_1, n_2, \dots の積になっているときに可能であり、このとき通常必要な N^2 回の乗算が $(n_1 + n_2 + \dots)N$ 回に短縮される。

1965年に米国のCooleyとTukeyによって開発されたFFTアルゴリズムは、 $N = 2^n$ として2進のデジタル計算に適するようにしたもので、このときの乗算回数は N^2 回から $2N \log_2 N$ 回に短縮された。例えば、 $N = 1024$ の場合に乗算回数が約50分の1に短縮され、Nが大きいほど短縮の割合が大きくなることが分かっている。

デジタル信号処理において、かなりの計算時間を要する乗算の回数が大幅に減少するFFTアルゴリズムの利用によって、周波数スペクトラム分析がデジタル計算機を用いて短時間でできるようになり、またLSI技術の発展に伴って、小型で定価格の専用のFFT周波数分析装置が開発され、広く利用されている。

【接続図，使用器具および測定方法】

FFT周波数分析装置として使用するFFTハイコーダ(日置電機製)について、その操作方法を以下に述べる。

本実験では、この装置の【LIN】:リニア・スペクトラム(Linear Spectrum)機能を利用する。これは、以下のような解析機能を持っている。

$$F(\omega) = |F(\omega)| \varepsilon^{-j\phi(\omega)}$$

すなわち、CH1に記憶された波形のスペクトル(振幅情報と位相情報)を明らかにすることができる。

- ① OSC(Oscillator)の信号(被測定信号)をCH1に接続する。
- ② トリガ，時間軸(TIME/DIV)，信号レベルを合わせる。このとき，オート・セットで時間軸を合わせたなら，5倍から10倍にセットし直す。(つまり遅くする)

- ③ ファンクション・キーをMEMにして、20DIV長にセットする。
- ④ STARTキーを押してプリント・アウトする。
- ⑤ その波形のスペクトルを見るときは、PRINTとSTOPキーをゆっくり同時に押して、静かに放す。
- ⑥ 不要なランプが消えて、"FFT FUNCTION START"と記録紙にメッセージがプリントされる。セレクト・キーによりセレクト・ランプを【LIN】に合わせる。
- ⑦ STARTキーを押してFFT演算をさせる。このとき、STARTランプが点灯し、演算中であることを示す。
- ⑧ 演算が終わると結果がプリント・アウトされる。PRINTキーを押すと何度でもプリント・アウトされる。
- ⑨ プrint・アウトされたチャートから、ひずみ波交流に含まれる高調波成分の周波数と振幅を求め、理論値と比較する。理論値は、オシロスコープによる波形観測で得られる。
- ⑩ 終わったら、ノーマル・モードに戻るためにPRINTキーとSTOPキーをゆっくり同時に押して、静かに放す。

以上の実験を種々の波形について行う。

【結果】

- ① 被測定ひずみ波の形状、周波数、およびピーク値などの情報をオシロスコープの観測により求め、表1に書く。
- ② 表1のデータを基にして、この波形のフーリエ級数展開を求め、表2に書く。
- ③ FFT解析の出力チャートの「位相情報」より、表3のn（基本波の周波数の何倍の周波数成分が含まれているかを示す値）を4項まで求め、次に同じチャートの「振幅情報」より、基本波の大きさを1とした場合の各高調波の大きさを求めて表3に書く。（実測値）
- ④ ②で求めた級数展開より計算値を求め、表3の計算値項に書く。

表1：被測定ひずみ波の波形から直接得られる情報

形 状	周 波 数	ピーク値	

表2：フーリエ級数展開

--

表3：「位相情報」と「振幅情報」

	基本波の 大きさ	第 n 次 調 波 の 大 き さ			
		n =	n =	n =	n =
実測値	1				
計算値	1				

【考察】

- (1) 表3の実測値と計算値を比較検討せよ。
- (2) 基本波に偶数調波のみを含んだ波形と、奇数調波のみを含んだ波形について比較検討せよ。
- (3) 【原理】で述べた Cooley と Tukey のFFTアルゴリズムにおいて、 $N = 2^n$ とした場合、乗算回数が N^2 回から $2N \log_2 N$ 回に短縮される理由を述べよ。
- (4) 次式で表される合成波形を描け。
 - ① $\sin(x) + \sin(3x)/3$
 - ② $\sin(x) + \sin(3x)/3 + \sin(5x)/5$
 - ③ $\sin(x) + \sin(3x)/3 + \sin(5x)/5 + \sin(7x)/7$

【参考】

以下にFFT解析出力チャートの読み方を例示する。(次ページ参照)

- ・ ダイナミックレンジ中の上3DIVにおけるピークの存在が、ひずみ波に含まれる高調波成分である。この例では、0dBのピークが基本波の周波数1kHzを表し、それに続くピークが3, 5, 7, 9kHzの高調波成分が含まれていることを表している。
- ・ ピーク値0dBというレベルで基本波の大きさを1に固定したとみなす。このようにみなせば、各高調波成分の基本波に対する大きさは、基本波より下がったレベルXdBを測れば次式によって算出できる。

$$20 \log_{10} E_n = X$$

リニア・スペクトラム [LIN]

[横 軸] : 等間隔の周波数表示。

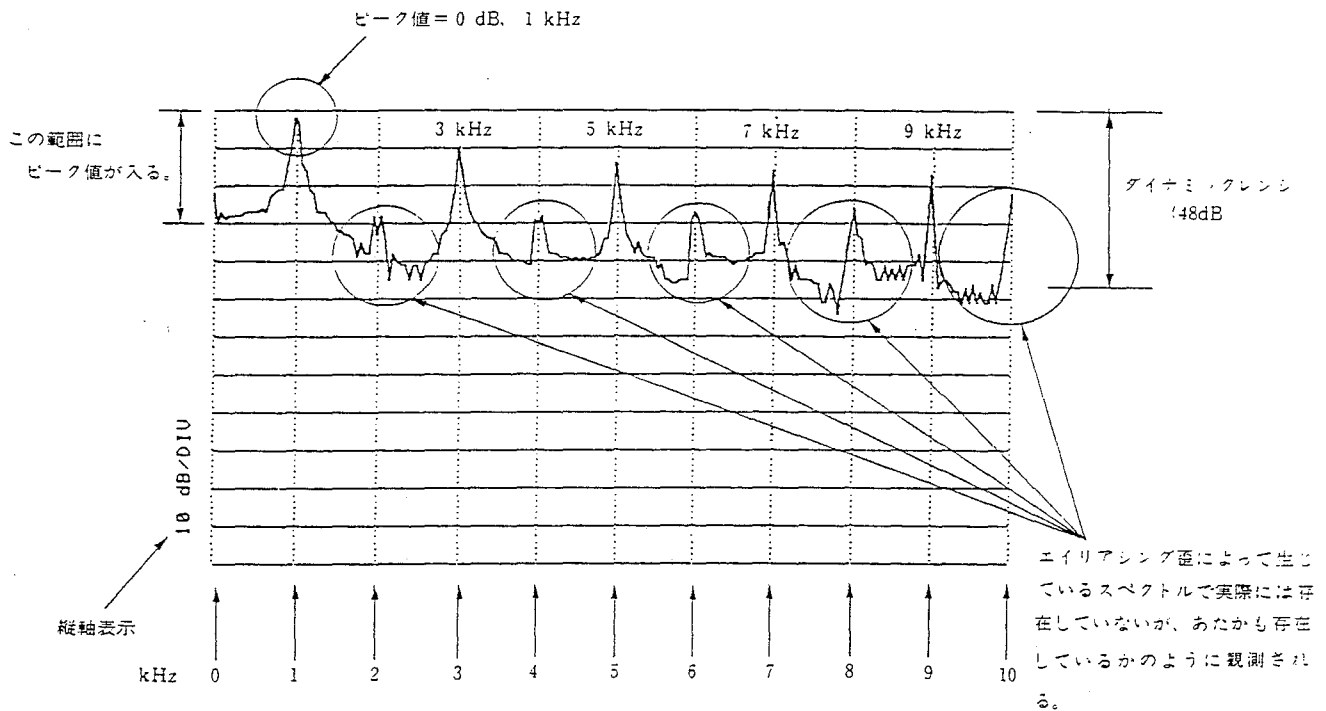
TIME/DIV の設定値に連動して周波数レンジが変わる。

範囲は、DC~周波数レンジの最大値まで。

[縦 軸] : ピークを 0 dB にとり、ピークとの比率をデシベルで表す。

グラフの上部1/4範囲 (最大~3 DIV 分) にピークが入るように自動設定。

振幅成分を意味する。



FFT 解析チャートの表示

周波数軸表示 (フルスケールは10倍する)

ANALYZING CHART No.04 FUNC=LIN CH=1 FREQ= 1kHz/DIV HIOKI 8813 FFT

トータル出力回数

解析モードの表示

使用チャンネル

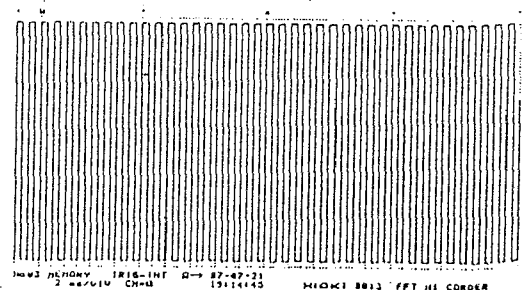
● 1チャンネルFFTではCH 1を使用する。

● MEMモードのときのチャンネルスイッチ設定により

[1 : DARK] と表示

[1 : LIGHT] と表示

● FFTモードではチャンネル設定にかかわらずDARKで描きます。



解析波形の時間軸波形

基礎論理回路(2)

【目的】 既に習得したAND, OR, NOT, NAND, NOR, EORなどの基本論理回路を組み合わせて、以下に示す機能回路の動作を理解する。

(1) 論理回路実習装置 (ITF-02: IWATSU製) を用いて

- ① 半加算器 (AND, OR, NOTのみで構成)
- ② 半加算器 (EORを用いた構成)
- ③ 全加算器 (EORを用いた構成)
- ④ エンコーダ (10進→2進変換)
- ⑤ デコーダ (2進→10進変換)

(2) 四則演算回路実習装置 (ITF-07: IWATSU製) を用いて

- ① 累算器を用いた加算回路
- ② 加算回路と補数器を用いた減算回路

加算器 (ADDER) の実習

<目的>

1. 加算器のS部分が排他的ORであることを理解させる。
2. 半加算器の動作を理解させる。

<理論>

加算器には、下位からの桁上げを考慮しない半加算器 (Half Adder) と、下位からの桁上げを考慮する全加算器 (Full Adder) とがあります。全加算器は、半加算器を2個、直列に接続した形になります。

また、式から分かるように、回路の和 (Sum) を構成している部分は、Exclusive OR になっています。

半加算器の理論式は、次の式で与えられます。
和 (Sum) を S, キャリー C とすれば、

$$S = \bar{A} \cdot B + A \cdot \bar{B}$$

$$C = A \cdot B$$

または、

$$S = A \oplus B$$

この論理式を論理回路に置き換えると、図2-14になります。

全加算器の論理式は、次の式で与えられます。

$$S = \bar{A} \cdot \bar{B} \cdot C_i + \bar{A} \cdot B \cdot \bar{C}_i + A \cdot \bar{B} \cdot \bar{C}_i + A \cdot B \cdot C_i$$

$$C_0 = \bar{A} \cdot B \cdot C_i + A \cdot \bar{B} \cdot C_i + A \cdot B \cdot \bar{C}_i + A \cdot B \cdot C_i$$

$$= A \cdot B + B \cdot C_i + A \cdot C_i$$

いま $S_1 = \bar{A} \cdot B + A \cdot \bar{B}$ とすれば、

$$S = \bar{S}_1 \cdot C_i + S_1 \cdot \bar{C}_i$$

また $C_1 = A \cdot B$, $C_2 = S_1 \cdot C_i$ とすれば、

$$C_0 = C_1 + C_2$$

$$= A \cdot B + S_1 \cdot C_i$$

となり、さらに、Exclusive OR で表わせば、

$$S = A \oplus B \oplus C_i$$

$$C_0 = A \cdot B + (A \oplus B) \cdot C_i$$

となります。

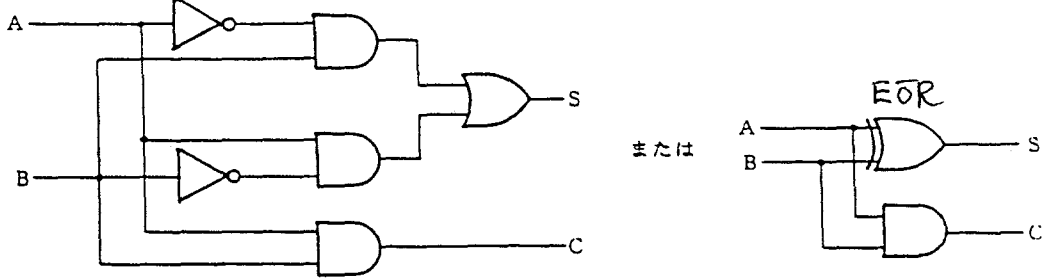
この論理式を論理回路に置き換えると、図2-15になります。

<実習>

図2-14, 図2-15の論理回路をパネル上で構成し、真理値表を表示器で確認することにより行ないます。

実習回路は、図2-16, 図2-17, 図2-18, 図2-19となります。

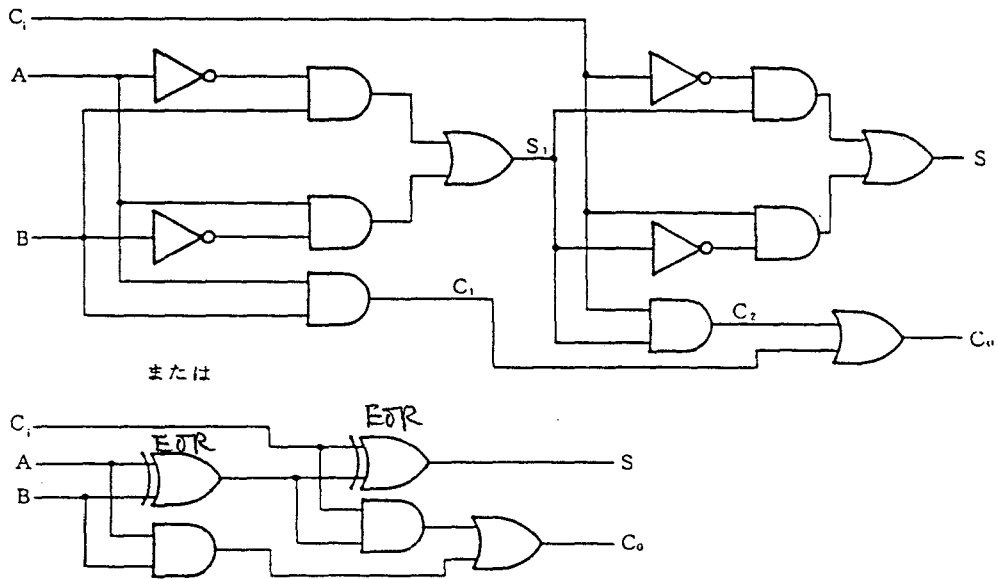
图 2-14 半加算回路



真理値表

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

图 2-15 全加算回路



真理値表

A	B	C _i	S	C ₀
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

図 2-16 半加算回路実習の接続(1)

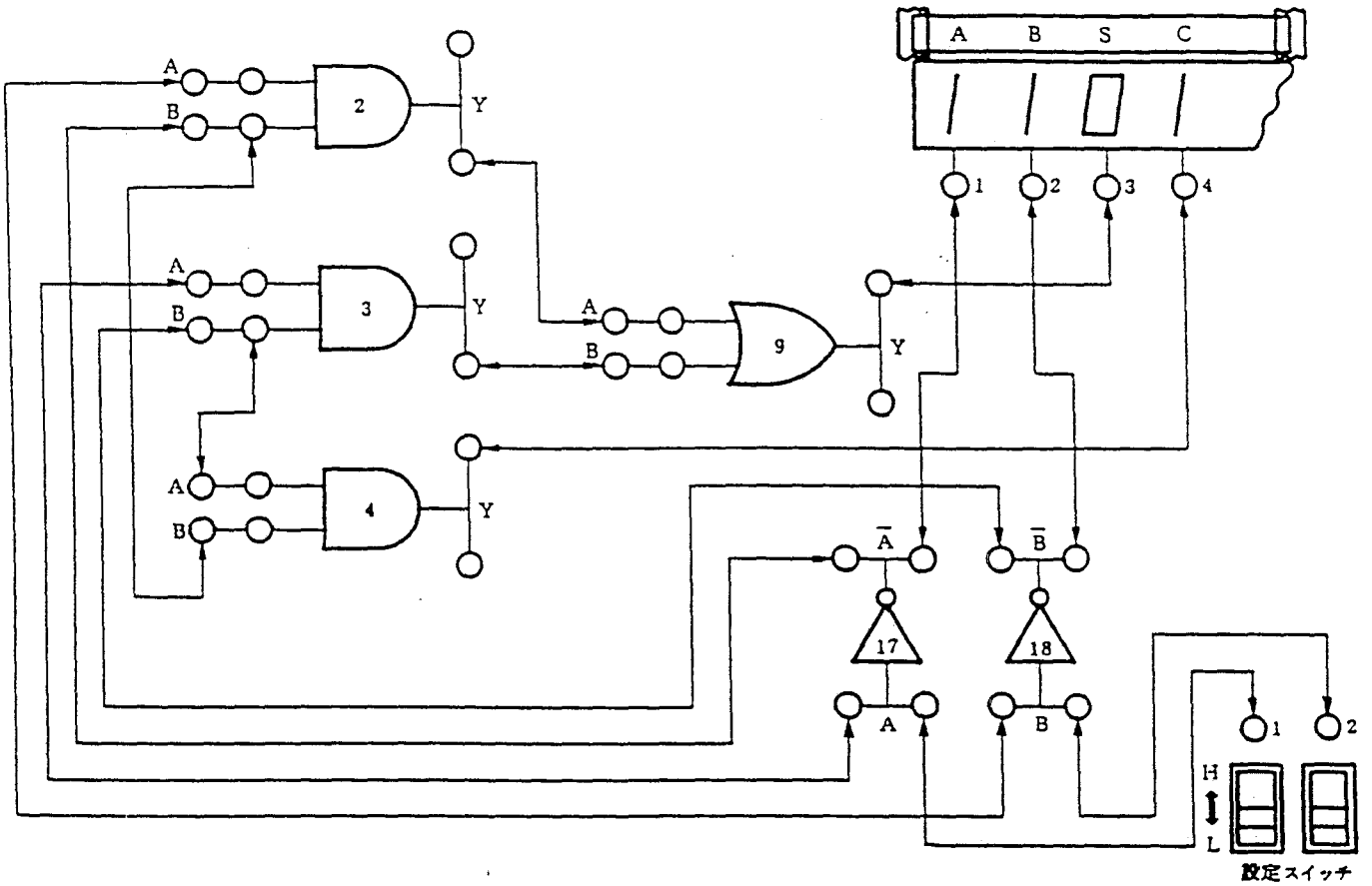


図 2-17 半加算回路実習の接続(2)

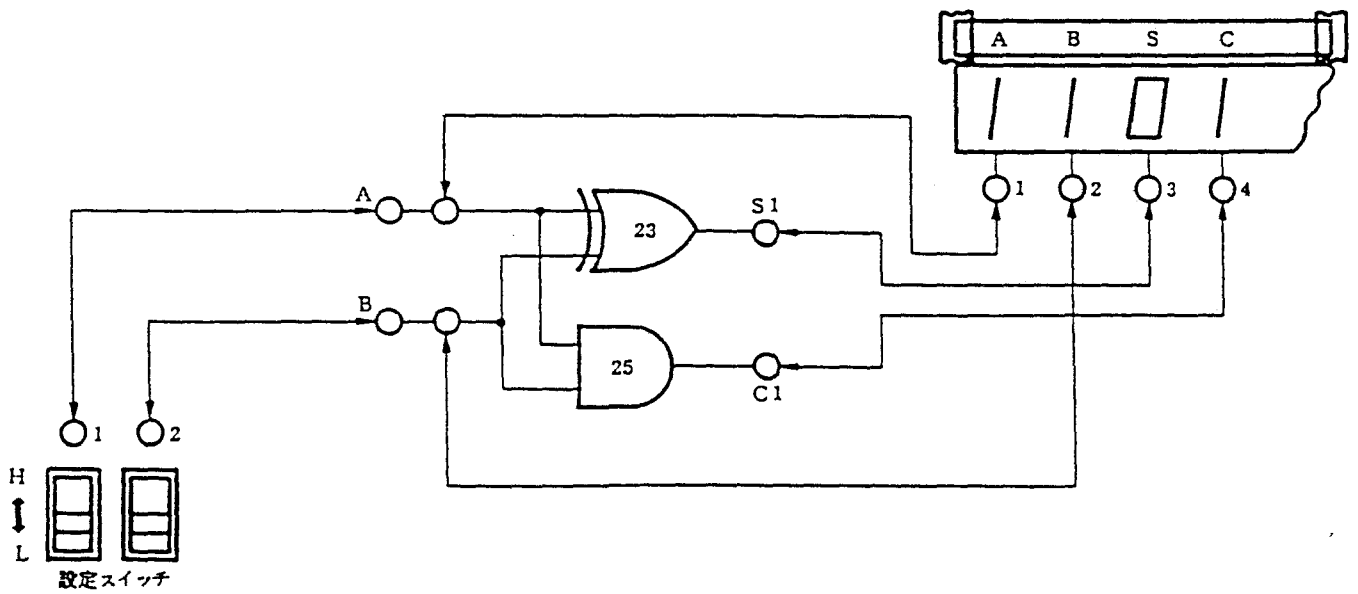


図 2-18 全加算回路実習の接続(1)

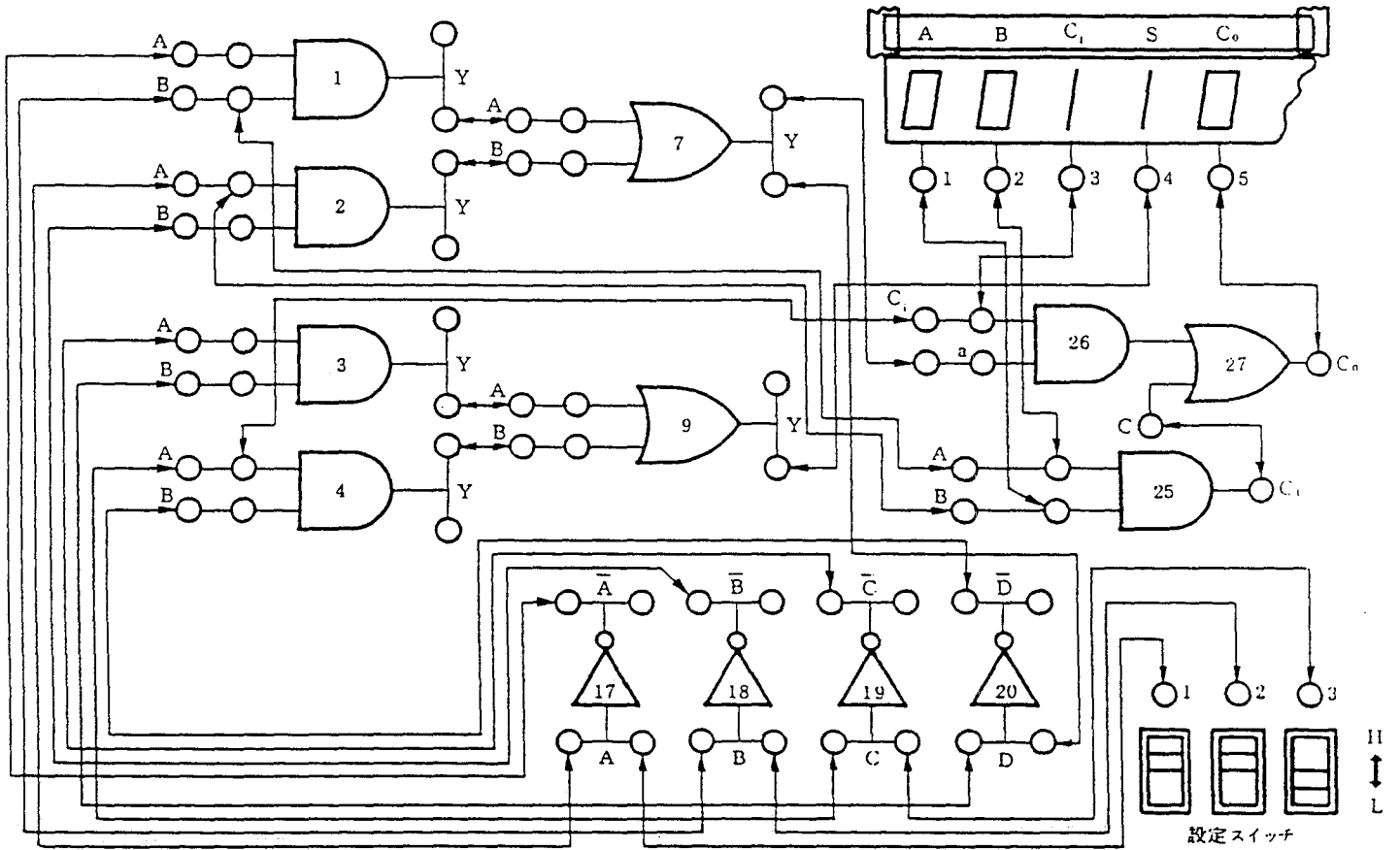
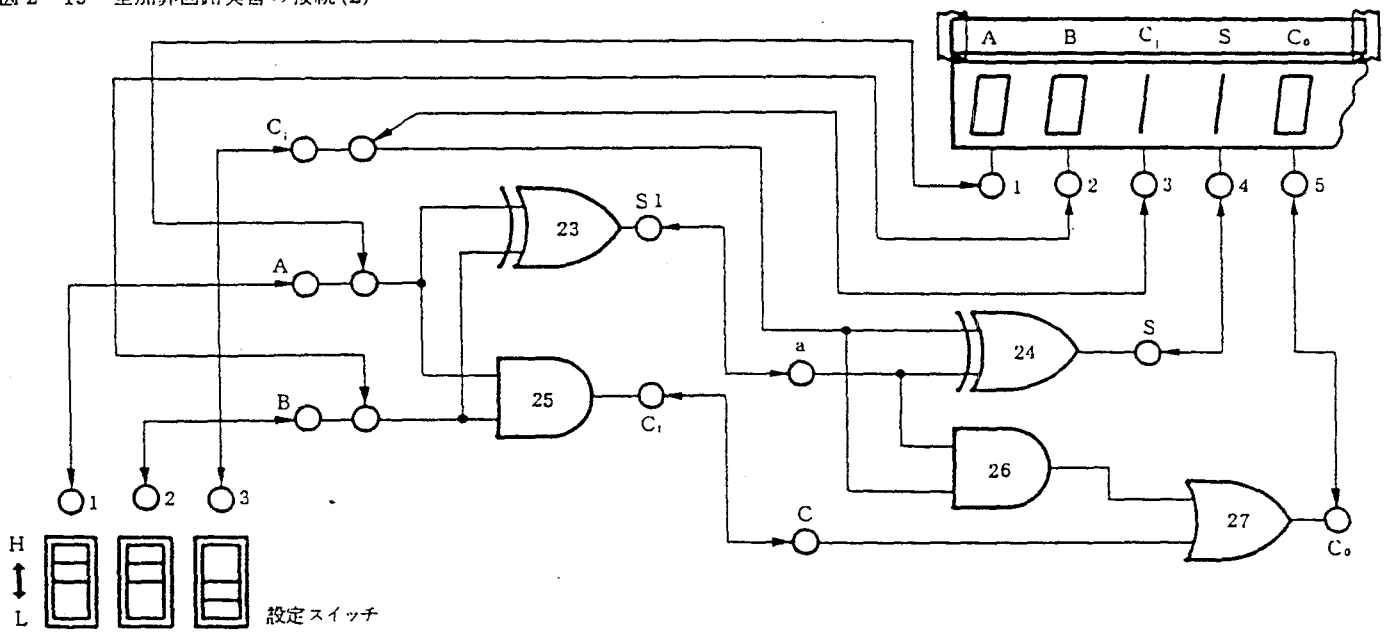


図 2-19 全加算回路実習の接続(2)



エンコーダ (ENCODER) の実習

〈目的〉

10進数を2進数に変換する動作を理解させる。

〈理論〉

10進数を4ビットの2進数コード(たとえば, BCD 1-2-4-8コード)にコード化するような論理回路を, エンコードといいます。

10進数と2進数コードの関係式は, 次のようになります。

10進数 "0"~"9"

2進数 $A=2^0$ ビット, $B=2^1$ ビット,

$C=2^2$ ビット, $D=2^3$ ビット として,

$$A = "1" + "3" + "5" + "7" + "9"$$

$$B = "2" + "3" + "6" + "7"$$

$$C = "4" + "5" + "6" + "7"$$

$$D = "8" + "9"$$

この式を満足する論理回路, および真理値表を, 図2-20, および表2-1に示します。

〈実習〉

パネル上のエンコーダ部分を使用し, 図2-20の論理回路になるように接続して行ないます。

図2-21に接続例を示します。

図2-20 エンコーダ(10進-2進)の論理回路

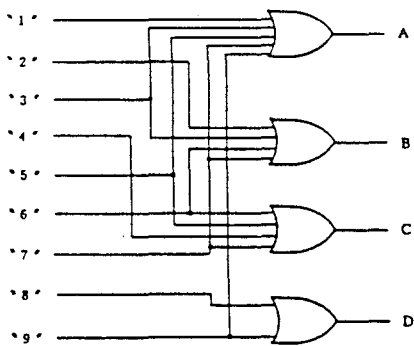
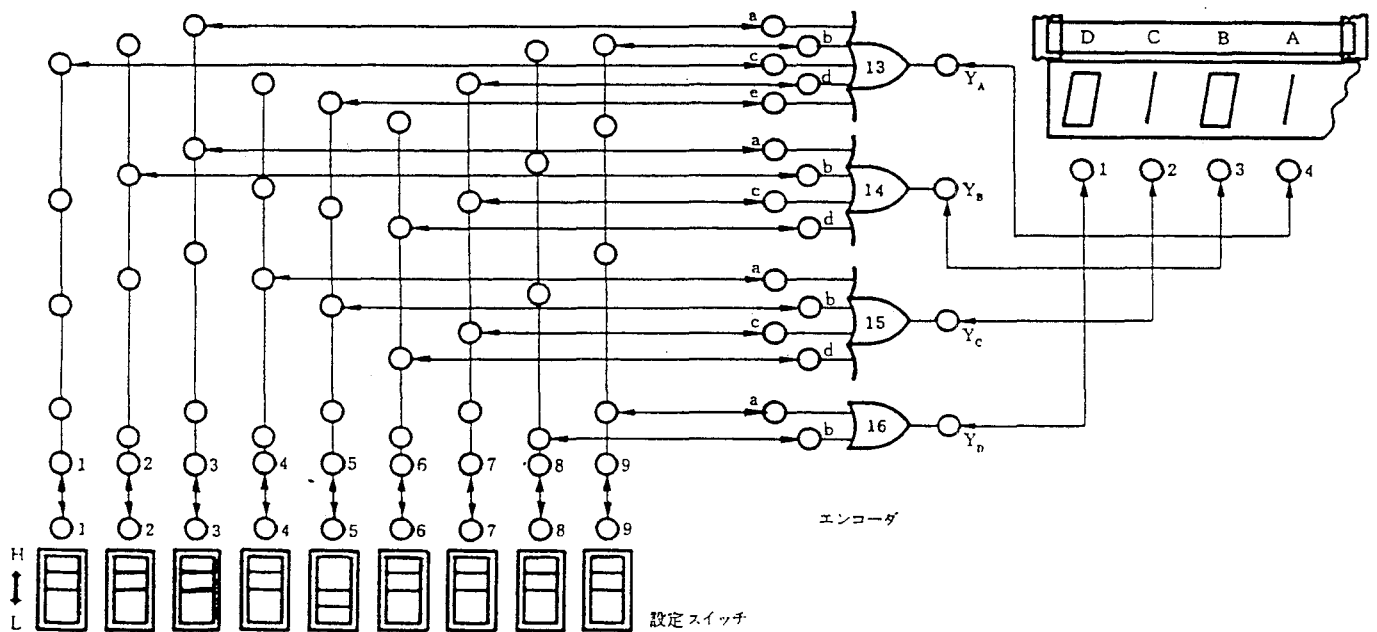


表2-1 エンコーダの真理値表

10進入力	2進出力			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

図2-21 エンコーダ実習の接続



デコーダ (DECODER) の実習

<目的>

2進数と10進数に変換する動作を理解させる。

<理論>

4ビットの2進数コードを、もとの10進数に戻すようなコード翻訳動作をする論理回路を、デコーダといいます。

2進数と10進数の関係式は、次のようになります。

2進数コード $A=2^0$ ビット, $B=2^1$ ビット,
 $C=2^2$ ビット, $D=2^3$ ビット

10進数 "0"~"9"として

$$\text{"0"} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}$$

$$\text{"1"} = A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}$$

$$\text{"2"} = \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D}$$

$$\text{"3"} = A \cdot B \cdot \bar{C} \cdot \bar{D}$$

$$\text{"4"} = \bar{A} \cdot \bar{B} \cdot C \cdot \bar{D}$$

$$\text{"5"} = A \cdot \bar{B} \cdot C \cdot \bar{D}$$

$$\text{"6"} = \bar{A} \cdot B \cdot C \cdot \bar{D}$$

$$\text{"7"} = A \cdot B \cdot C \cdot \bar{D}$$

$$\text{"8"} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D$$

$$\text{"9"} = A \cdot \bar{B} \cdot \bar{C} \cdot D$$

この式を満足する論理回路, および真理値表を, 図2-22, および表2-2に示します。

<実習>

パネル上のデコーダ部分を使用し, 図2-22に論理回路になるよう接続して行ないます。

図2-23に接続例を示します。

図2-22 デコーダ(2進-10進)の論理回路

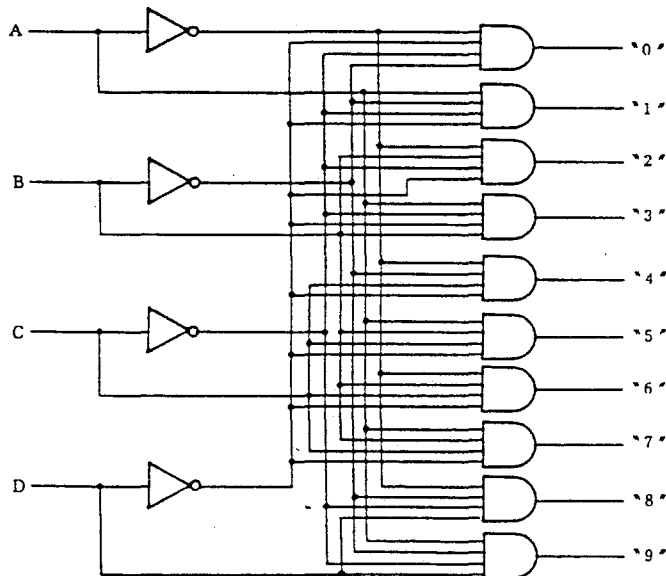
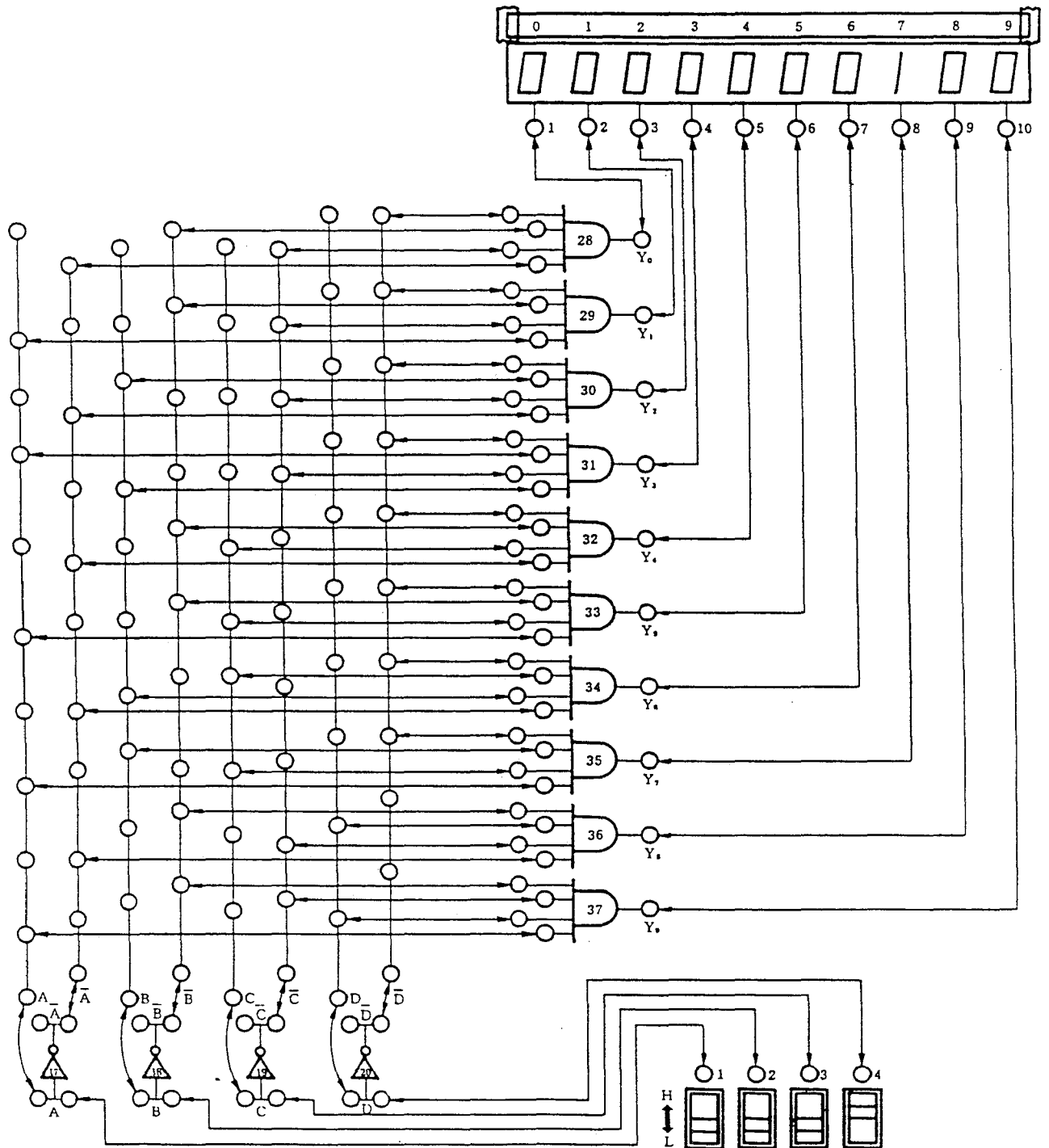


図 2-23 デコーダ実習の接続例



累算器を用いた加算回路の実習

< 加算の理論 >

2進数による加算方法には、並列加算方式と直列加算方式がありますが、本装置では、動作がわかり易い直列加算方式を採用しています。直列加算方式の基本回路は、図2-2に示すように被加数レジスタ(A)、加数レジスタ(B)、加算器、桁上げメモリ(C)、および和レジスタ(Y)で構成されます。

加算の実行は、被加数レジスタ(A)と加数レジスタ(B)のデータを下位ビットから1ビットずつ右へシフトさせ、加算器で加算したデータを和レジスタに、順次入力する方法でおこなわれます。レジスタのビット数だけのシフトと加算がおこなわれて演算が終了します。

加算器による加算は、次のようにおこなわれます。例えば、10進数の7+3=10の場合、この式を4ビットの2進数で書きなおすと、次式になります。

$$0111 + 0011 = 1010$$

(A) (B) (Y)または(S)

加算は(A)と(B)の 2^0 ビットから順次おこなわれ、 2^3 で終了しますが、その過程を表2-2を用いて説明します。加算器の入力はA、B、Ciの3つで、出力はCo、Sの2つです。また、CoのデータがCiに移動しています。 2^0 ビットを見ると、A、Bとも"1"で、Ciは"0"ですので、SとCoはそれぞれ次式のようにになります。

$$S = 1 + 1 + 0 = 0$$

$$Co = 1$$

2^1 ビットの加算をおこなうためにレジスタをシフトしたとき、Coのデータがメモリに記憶されて、Ciに出できます。 2^1 ビットの加算では、SとCoはそれぞれ次式のようにになります。

$$S = 1 + 1 + 1 = 1$$

$$Co = 1$$

このように、キャリー出力Coのデータは次の加算時に、Ciとしてあらわれてきます。これらの動作を、順次 2^3 ビッ

トの加算まで繰返しおこないます。

表2-2 加算器動作

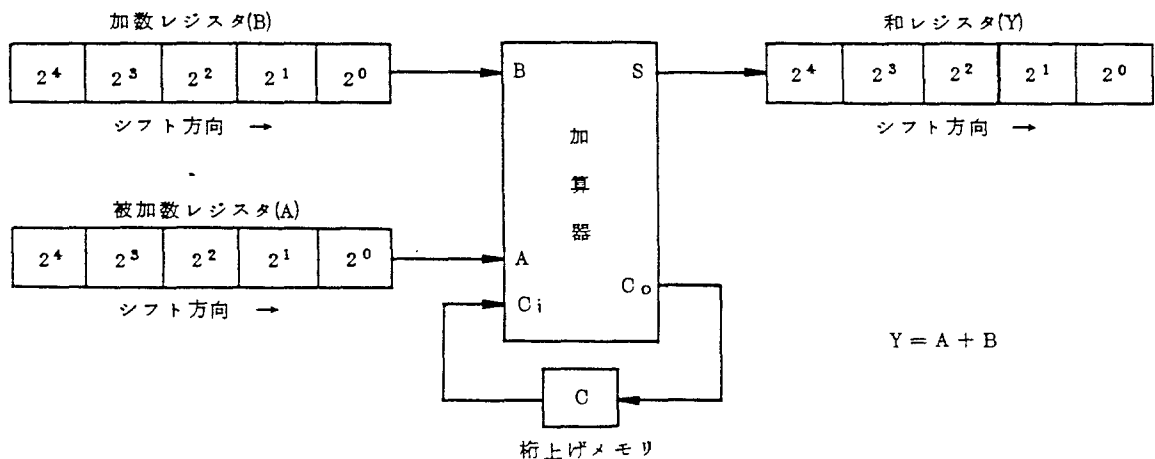
レジスタのビット		2^3	2^2	2^1	2^0
入力	A (被加数入力)	0	1	1	1
	B (加数入力)	0	0	1	1
	Ci (キャリー入力)	1	1	1	0
出力	Co (キャリー出力)	0	1	1	1
	S (和出力)	1	0	1	0

図2-2の方式では、レジスタが3個必要ですが、被加数レジスタの空いたビットに加算器の結果を順番に入れていけば、レジスタは2個で済みます。このように、被加数レジスタと和レジスタを兼ねたレジスタを累算器といいます。

累算器を用いた加算の回路構成を図2-3に示します。この方式では、累算(連続の加算)が可能になります。例えば、10進数の1+2+5=8の加算をおこなう場合、次のような動作となります。

1. 累算器の内容を全ビット、ゼロにする。..... 00000
2. 加数レジスタに、10進数1に相当する2進数を設定する。..... 00001
3. 加算をおこなう。.....累算器のデータ..... 00001
4. 加数レジスタに、10進数2に相当する2進数を設定する。..... 00010
5. 累算器と加数レジスタの加算をおこなう。
累算器のデータ 00011

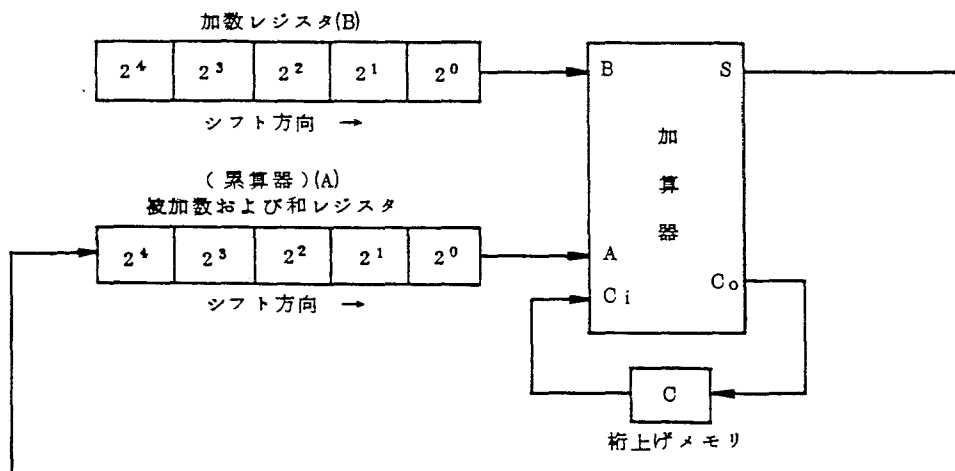
図2-2 直列加算方式



6. 加数レジスタに、10進数5に相当する
2進数を設定する。…………… 00101
7. 累算器と加数レジスタの加算をおこなう。
累算器のデータ …………… 01000
累算器のデータを10進数に変換すれば、8になります。

5ビットのレジスタによる累算の容量は11111で、10進数の31となりますので、この範囲までの累算がおこなえることとなります。ただし、本装置では、10進数変換回路が19までの容量しかありませんので、10進数で見ると19までとなり、2進数のままであれば5ビット(10進数の31)フルに見られます。

図2-3 累算器を用いた直列加算方式



〈加算の実習〉

結線およびスイッチの設定

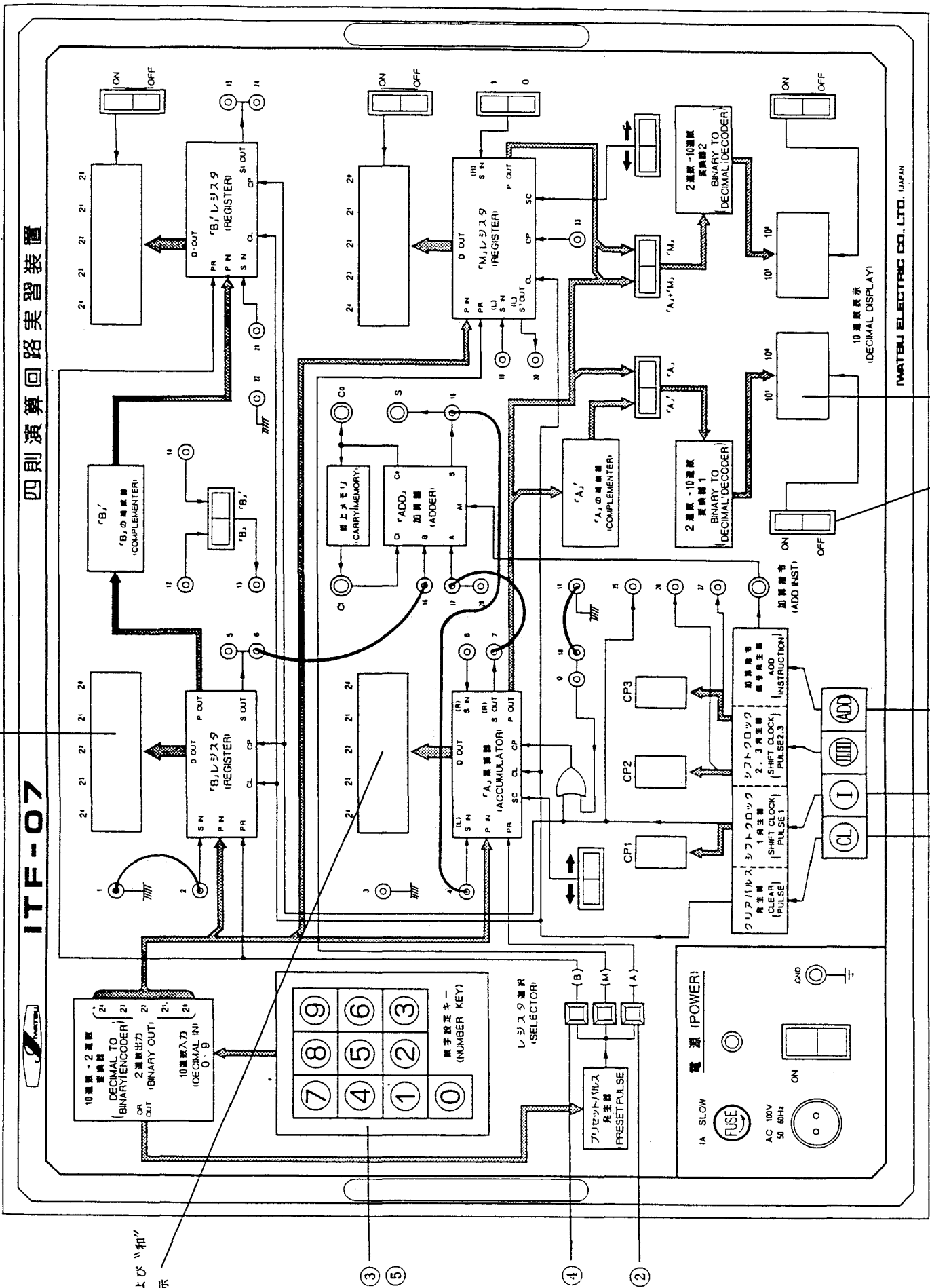
1. 電源スイッチをOFFにする。
2. 端子1と2、4と18、6と16、7と17および10と11間をリードチップで接続する。(図2-4参照)
3. 「A」累算器のシフト方向スイッチを、➡印方向に設定する。
4. 「B」レジスタの表示器ON/OFFスイッチを、OFFにする。
5. 「M」レジスタの表示器ON/OFFスイッチを、OFFにする。
6. 10進数表示器ON/OFFスイッチを、左右の2個ともOFFにする。
7. 「A」/「A」切換スイッチを、「A」側に設定する。
8. 電源スイッチをONにし、以下の操作をおこなう。

操作順序

具体的な数値(たとえば $7 + 5 = 12$)を用いて、操作順序を説明します。演算の過程は、図2-5を用いて説明します。

- ① **CL** をプッシュして、各レジスタの内容と表示をゼロにする。
- ② レジスタ選択スイッチの(A)をプッシュする。
- ③ 数字設定キーの **7** をプッシュする。「A」累算器には、被加数7に相当する2進数がセットされる。
- ④ レジスタ選択スイッチの(B)をプッシュする。
- ⑤ 数字設定キーの **5** をプッシュする。「B」レジスタには、加数5に相当する2進数がセットされる。
- ⑥ **ADD** をプッシュして、「A」累算器と「B」レジスタの最下位ビットどうしの加算をおこなう。 $S = 0$ 、 $C_o = 1$ となる。
- ⑦ **I** を1回プッシュして、「A」累算器と「B」レジスタの内容を、右へ1ビットシフトさせる。 $S = 0$ のデータは「A」累算器の最上位ビットに記憶され、 $C_o = 1$ のデータは桁上げメモリに記憶されて、 $C_i = 1$ となる。
- ⑧ **ADD** をプッシュして、⑥と同様に加算をおこなう。 $S = 0$ 、 $C_o = 1$ となる。
- ⑨ **I** を1回プッシュして、⑦と同様にシフトさせる。 $S = 0$ のデータは「A」累算器の最上位ビットに記憶され、 $C_o = 1$ のデータは桁上げメモリに記憶されて、 $C_i = 1$ となる。
- ⑩ **ADD** をプッシュして、⑥と同様に加算をおこなう。 $S = 1$ 、 $C_o = 1$ となる。
- ⑪ **I** を1回プッシュして、⑦と同様にシフトさせる。 $S = 1$ のデータは「A」累算器の最上位ビットに記憶され、 $C_o = 1$ のデータは桁上げメモリに記憶されて、 $C_i = 1$ となる。
- ⑫ **ADD** をプッシュして、⑥と同様に加算をおこなう。 $S = 1$ 、 $C_o = 0$ となる。

図2-4 加算の場合の結線と操作順序



「被加数」および「和」の2進数表示

(○印内の数字は操作順序を示す)

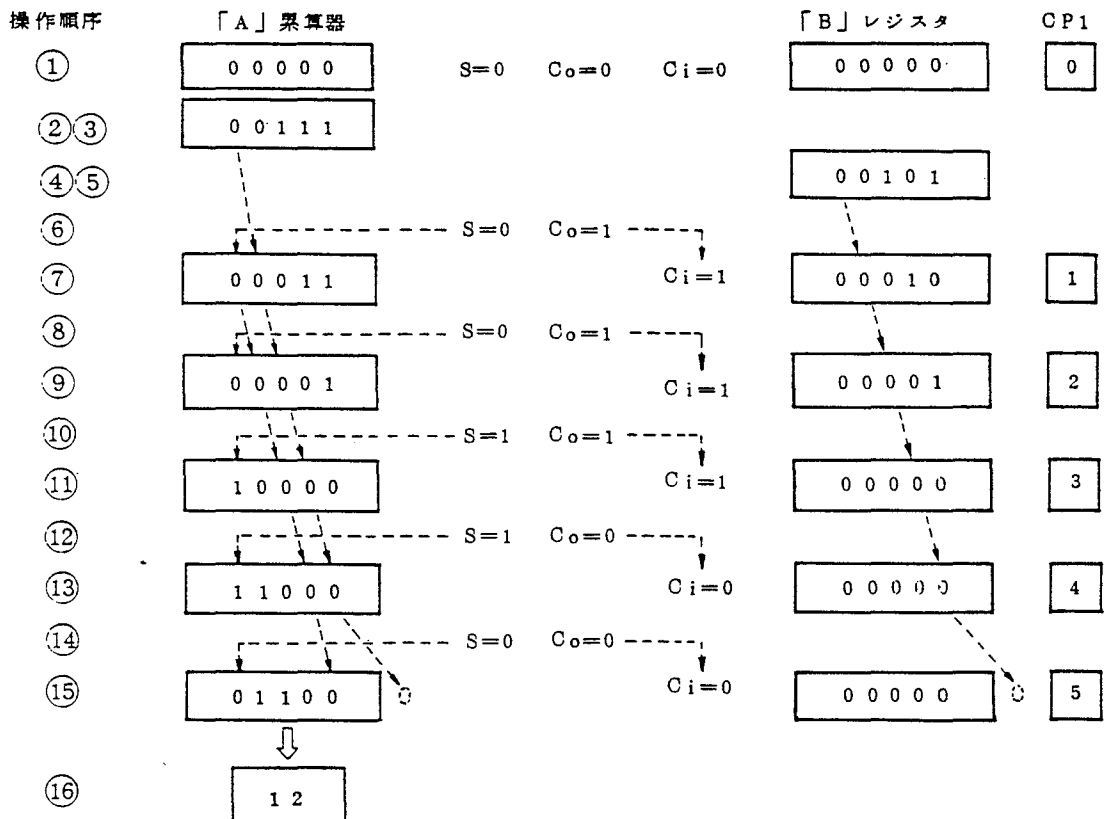
- ⑬ **I** を1回プッシュして、⑦と同様にシフトさせる。S = 1のデータは「A」累算器の最上位ビットに記憶され、C_o = 0のデータは桁上げメモリに記憶されて、C_i = 0となる。
- ⑭ **ADD** をプッシュして、⑥と同様に加算をおこなう。S = 0、C_o = 0となる。
- ⑮ **I** を1回プッシュして、⑦と同様にシフトさせる。S = 0のデータは「A」累算器の最上位ビットに記憶され、C_o = 0のデータは桁上げメモリに記憶されて、C_i = 0となる。以上の操作で、5ビット全部の演算が終了する。「A」累算器には、演算結果の和(2³ + 2²)が記憶されている。
- ⑯ ⑮の2進数データを10進数表示するために、10進数表示器 ON/OFF スイッチの左側のスイッチをONにすると、「12」と表示される。

NOTES:

- 1. キーをプッシュするときは、1個ずつゆっくりプッシュしてください。2個ずつや、中途半端な操作は誤動作の原因となります。
- 2. 累算をおこなう場合は、まずCP1をリセットします。その方法は、CP1の表示が“0”になるように、**I** をプッシュしてください。また、**III** をプッシュすることによっても、できます。
なお、**CL** をプッシュすると、全部の設定がリセットされますので注意してください。

- 3. CP1をリセットしたのち、2-2-2項の“操作順序”の④以降を、再度操作してください。累算がおこなわれます。
- 4. “2-2-2 加算の実習”では、累算がおこなえるように累算器を使用していますが、累算器を被加数レジスタとして加算をおこなう場合は、次のように設定してください。
 - a. 端子1と2、3と4、6と16、7と17、10と11、18と19および23と25をリードチップで接続する。
 - b. 「A」累算器のシフト方向スイッチを、➡印方向に設定する。
 - c. 「M」レジスタのシフト方向スイッチを、➡印方向に設定する。
 - d. 「B」レジスタの表示器ON/OFFスイッチを、OFFにする。
 - e. 「M」レジスタの表示器ON/OFFスイッチを、ONにする。
 - f. 10進数表示器ON/OFFスイッチを、左右の2個ともOFFにする。
 - g. 「A」+「M」/「M」切換スイッチを、「M」側に設定する。
 - h. 2-2-2項の“操作順序”の①~⑯項をおこなう。ただし、シフトさせたデータが「M」レジスタに入るため、図2-5の「A」累算器の表示は、最終的には、「M」レジスタにあらわれる。
 - i. 「M」レジスタの2進数データを10進数表示するため、10進数表示器ON/OFFスイッチの右側のスイッチをONにする。

図2-5 加算における演算の例



加算回路と補数器を用いた減算回路の実習

＜減算の理論＞

減算は、減数の補数と被減数の加算をおこなうことにより実行されます。したがって、加算回路に補数器が付け加えられた回路構成となります。図2-6に減算の基本回路を、図2-7に累算器を用いた減算回路を、それぞれ示します。

本装置の補数器は、2の補数を得るために、まず、入力されたデータを否定回路で反転し、その後、最下位ビットに1を加える方法を採用しています。

減算においては、その結果(差)が負数になることもあります。正・負の判別は、最上位ビットが1なら負数、0なら正数になります。その様子を表2-3に示します。ただし、これは

"0" ~ "9" までを5ビットの2進数で表示した場合で、4ビットで表示したときは、"0" ~ "7" までしか判別できません。累算をしない1桁の減算の場合、最も大きな負数になるのは $0 - 9 = -9$ なので、5ビット表示が必要です。累算をおこなう1桁の減算の場合、-15まで負数の判別ができます。表2-4に、"10" ~ "16" における5ビットの正数と負数の2進数表示を示します。"16" では正数も負数も同じ表示となり、判別できません。

図2-6 減算の基本回路

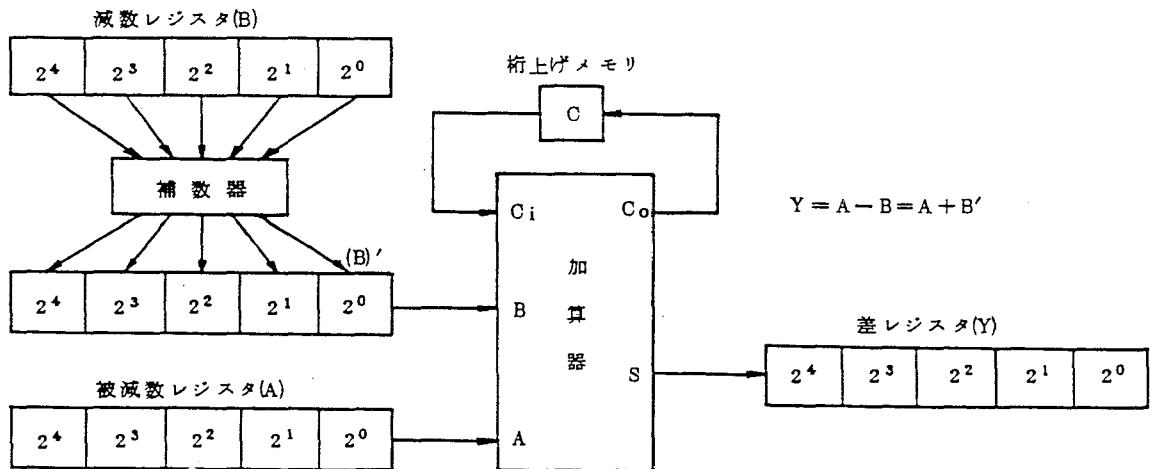


図2-7 累算器を用いた減算回路

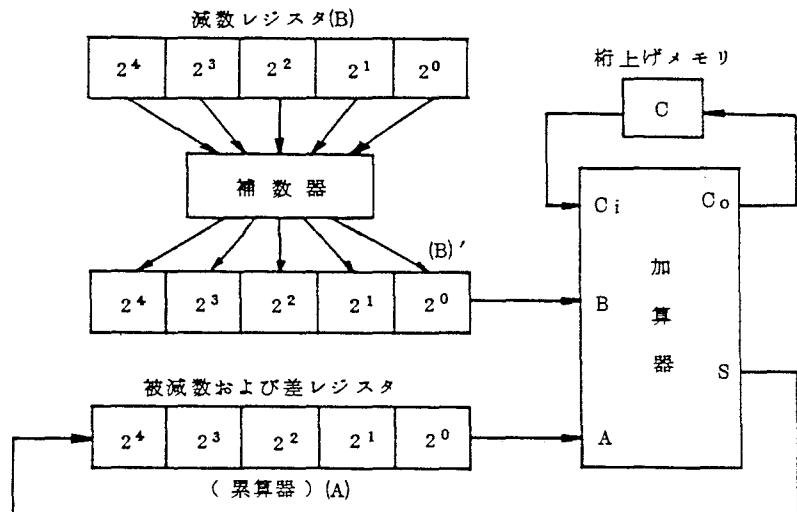


表2-3 0~9における正数と負数の2進数表示

10進正数	2進正数					10進負数	2進負数				
	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰		2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
0	0	0	0	0	0	0	0	0	0	0	0
+1	0	0	0	0	1	-1	1	1	1	1	1
+2	0	0	0	1	0	-2	1	1	1	1	0
+3	0	0	0	1	1	-3	1	1	1	0	1
+4	0	0	1	0	0	-4	1	1	1	0	0
+5	0	0	1	0	1	-5	1	1	0	1	1
+6	0	0	1	1	0	-6	1	1	0	1	0
+7	0	0	1	1	1	-7	1	1	0	0	1
+8	0	1	0	0	0	-8	1	1	0	0	0
+9	0	1	0	0	1	-9	1	0	1	1	1

表2-4 10~16における正数と負数の2進数表示

10進正数	2進正数					10進負数	2進負数				
	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰		2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
+10	0	1	0	1	0	-10	1	0	1	1	0
+11	0	1	0	1	1	-11	1	0	1	0	1
+12	0	1	1	0	0	-12	1	0	1	0	0
+13	0	1	1	0	1	-13	1	0	0	1	1
+14	0	1	1	1	0	-14	1	0	0	1	0
+15	0	1	1	1	1	-15	1	0	0	0	1
+16	1	0	0	0	0	-16	1	0	0	0	0

＜減算の実習＞

結線およびスイッチの設定

- 電源スイッチをOFFにする。
- 端子1と2、4と18、7と17、10と11、15と16および21と22をリードチップで接続する。(図2-8参照)
- 「A」累算器のシフト方向スイッチを、→印方向に設定する。
- 「B」レジスタの表示器ON/OFFスイッチを、ONにする。
- 「M」レジスタの表示器ON/OFFスイッチを、OFFにする。
- 10進数表示器ON/OFFスイッチを、左右の2個ともOFFにする。

7. 「A」' / 「A」切換スイッチを、いったん「A」側に設定する。これは、演算結果によりどちらかを選ぶためです。演算結果が正数のときは「A」側に、負数のときは「A」'側に設定する。

8. 電源スイッチをONにし、以下の操作をおこなう。

操作順序

具体的な数値(たとえば $1-9=-8$)を用いて、操作順序を説明します。演算の過程は、図2-9を用いて説明します。

- ① **CL** をプッシュして、各レジスタの内容と表示をゼロにする。
- ② レジスタ選択スイッチの(A)をプッシュする。
- ③ 数字設定キーの **1** をプッシュする。「A」累算器には、被減数1に相当する2進数がセットされる。
- ④ レジスタ選択スイッチの(B)をプッシュする。
- ⑤ 数字設定キーの **9** をプッシュする。「B」レジスタには、減数9に相当する2進数がセットされ、「B」'レジスタには、減数(「B」レジスタ)の補数(負数)がセットされる。
- ⑥ **ADD** をプッシュして、「A」累算器と「B」'レジスタの最下位ビットどうしの加算をおこなう。 $S=0$ 、 $C_0=1$ となる。
- ⑦ **I** を1回プッシュして、「A」累算器と「B」'レジスタの内容を、右へ1ビットシフトさせる。 $S=0$ のデータは「A」累算器の最上位ビットに記憶され、 $C_0=1$ のデータは桁上げメモリに記憶されて、 $C_i=1$ となる。(「B」レジスタの内容(減数)も、ともにシフトしますが、実際の演算には無関係となり、表示されているだけです。)
- ⑧ **ADD** をプッシュして、⑥と同様に加算をおこなう。 $S=0$ 、 $C_0=1$ となる。
- ⑨ **I** を1回プッシュして、⑦と同様にシフトさせる。 $S=0$ のデータは「A」累算器の最上位ビットに記憶され、 $C_0=1$ のデータは桁上げメモリに記憶されて、 $C_i=1$ となる。
- ⑩ **ADD** をプッシュして、⑥と同様に加算をおこなう。 $S=0$ 、 $C_0=1$ となる。
- ⑪ **I** を1回プッシュして、⑦と同様にシフトさせる。 $S=0$ のデータは「A」累算器の最上位ビットに記憶され、 $C_0=1$ のデータは桁上げメモリに記憶されて、 $C_i=1$ となる。
- ⑫ **ADD** をプッシュして、⑥と同様に加算をおこなう。 $S=1$ 、 $C_0=0$ となる。
- ⑬ **I** を1回プッシュして、⑦と同様にシフトさせる。 $S=1$ のデータは「A」累算器の最上位ビットに記憶され、 $C_0=0$ のデータは桁上げメモリに記憶されて、 $C_i=0$ となる。
- ⑭ **ADD** をプッシュして、⑥と同様に加算をおこなう。 $S=1$ 、 $C_0=0$ となる。
- ⑮ **I** を1回プッシュして、⑦と同様にシフトさせる。 S

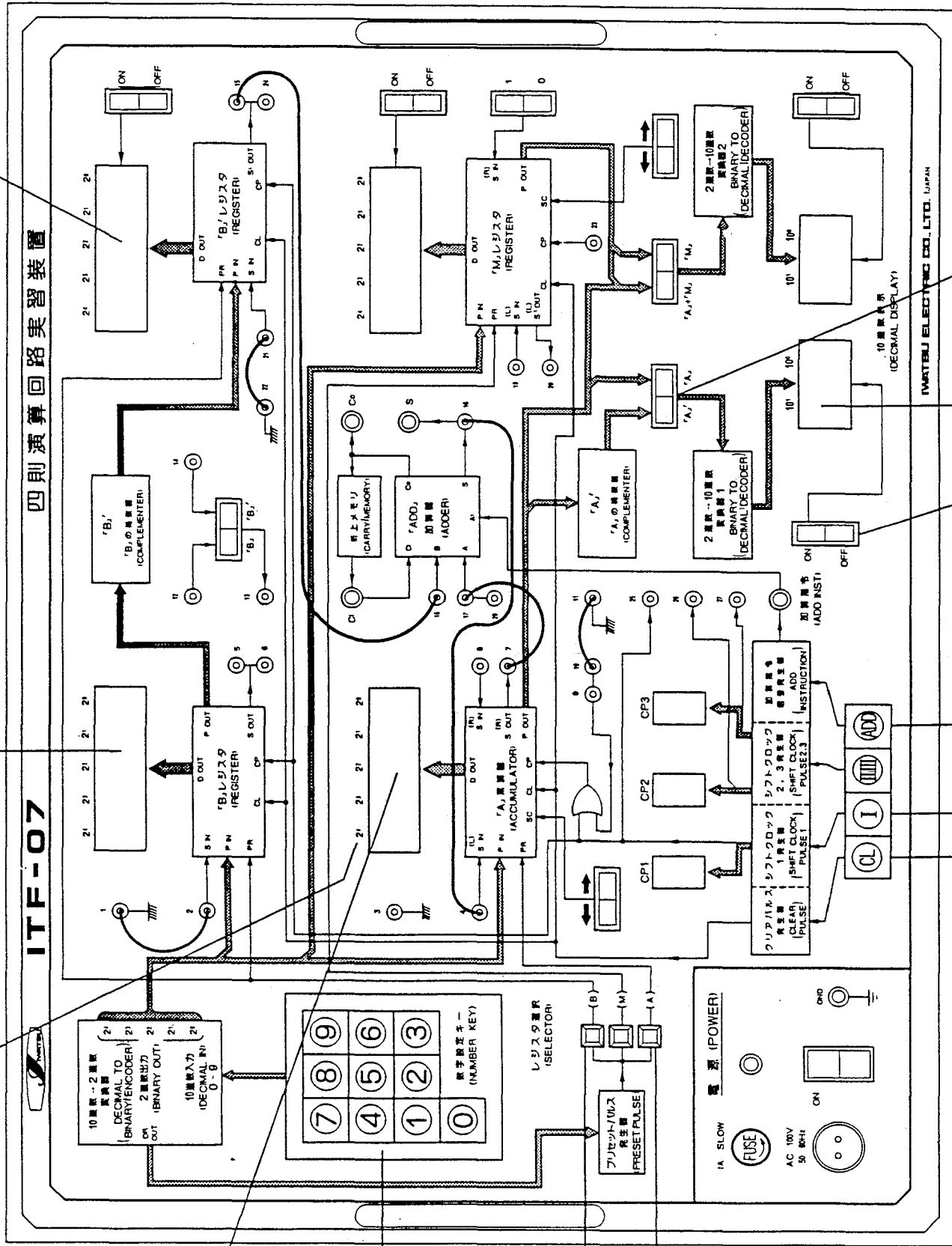
“減数の補数”の2進
数表示

“減数”の2進数表示

注目するビット

ITF-07

四則演算回路実習装置



“減数”および“差”
の2進数表示

(○印内の数字は操作
順序を示す)

= 1 のデータは「A」累算器の最上位ビットに記憶され、 $C_0 = 0$ のデータは桁上げメモリに記憶されて、 $C_i = 0$ となる。

以上の操作で、5 ビット全部の演算が終了する。「A」累算器には、演算結果の差が記憶されているが、最上位ビットを見ると「1」なので、負数をあらわしている。

- ⑯ 「A」累算器のデータが負数（最上位ビットが 1）のときは「A」' / 「A」切換スイッチを「A」' 側に設定し、正数（最上位ビットが 0）のときは「A」側に設定する。
- ⑰ 「A」累算器の 2 進数データを 10 進数表示するために、10 進数表示器 ON/OFF スwitch の左側のスイッチを ON にすると、「-8」と表示される。

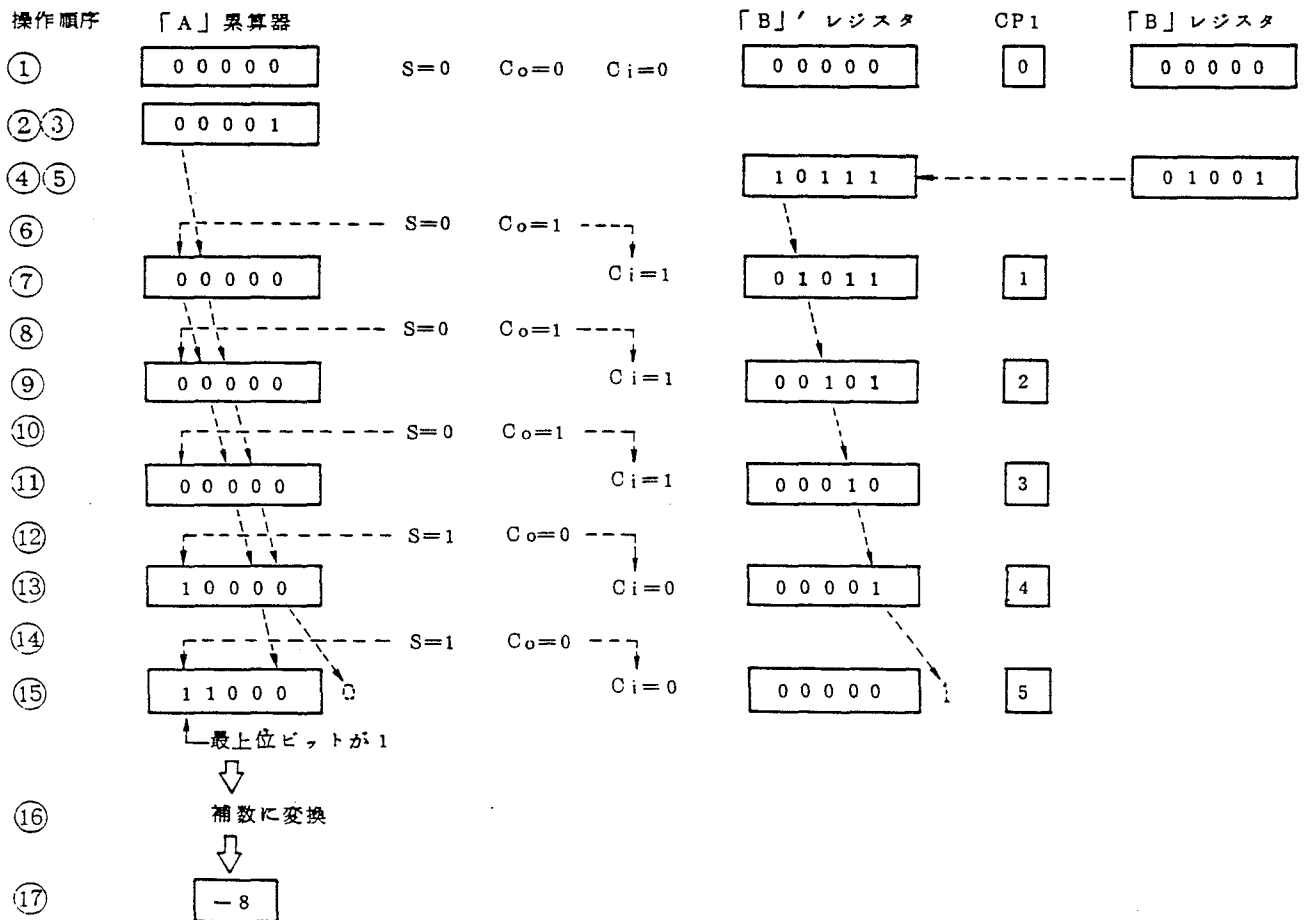
NOTES :

- 1. 累算をおこなう場合の負数判別は、-1 から -15 までで

すので、あらかじめその範囲内に入るように数値を設定してください。

- 2. 累算をおこなう場合は、まず CP 1 をリセットします。その方法は、CP 1 の表示が、「0」になるように、**I** をプッシュしてください。また、**II III** をプッシュすることによっても、できます。
なお、**CL** をプッシュすると、全部の設定がリセットされますので注意してください。
- 3. CP 1 をリセットしたのち、2-3-2 項の「操作順序」の④以降を、再度操作してください。累算がおこなわれます。
- 4. 減算の実習は、図 2-7（累算器を用いた減算回路）の方式を用いていますが、図 2-6（減算の基本回路）の方式は、「M」レジスタに補数器がないためにできません。

図 2-9 減算における演算の例



【考察】

- (1) 並列加算方式について述べよ。
- (2) 加算器の和（Sの部分）が排他的論理和であることを示せ。
- (3) 減算は、減数の補数と被減数の加算により行われることを示せ。

10進2桁カウンタの製作

【目的】

IC (Integrated Circuit: 集積回路) や LED (Light-Emitting Diode: 発光ダイオード) を用いてカウンタを製作することにより、フリップフロップの計数原理と順序回路による複数桁計数の原理を学び、併せてLEDの原理をも理解する。

【原理】

基本論理素子 (AND, OR, NOT) を基にして NAND 回路や NOR 回路ができることは既に学んだ。デジタル IC は、これらの回路の組み合わせによって、種々の Logic (機能) を小さいスペースの中に無接点の形で組み込んだものである。デジタル IC をその構造によって分類すると、次のようになる。

※ バイポーラ形 (キャリアとして電子と正孔の二つを使う)

★ 飽和形 (オン, オフの状態の変化によって信号を伝える)

・ RTL系 (Register Transistor Logic)

・ DTL系 (Diode Transistor Logic)

・ TTL系 (Transistor Transistor Logic)

★ 不飽和形 (電流または電圧の大小によって信号を伝える)

・ CML系 (Current Mode Logic)

・ CTL系 (Complementary Transistor Logic)

※ ユニポーラ形 (キャリアとして電子と正孔のうち一つを使う)

・ MOS系 (Metal Oxide Semiconductor)

実験で用いる IC は TTL 系の IC で、スイッチング速度が速く、現在最も多く使われている。実験では入力パルスの数を計数する機能が要求され、2進1桁の計数 (バイナリカウンタ) 機能をもつフリップフロップ回路 (Flip-Flop: 以下 FF と略す) から構成される IC が用いられる。FF 理論の詳細については、「電子回路」や「情報処理」の授業に譲り、ここでは実験に必要な最小限の理論を述べる。

◆ フリップフロップ

FF 回路は順序回路 (過去に入った情報と現時点に入った情報との組み合わせで決まる論理回路) の代表的な回路で、二つの安定点を持ち、入力信号の内容によってどちらの安定点をとるかが決まる一種の記憶回路である。入力端子は一つまたはそれ以上あり、出力は二つある。出力の一方を Q とすれば、他方は Q の否定 \bar{Q} となる。

FF には入力制御の仕方によって、① RS FF (Reset Set FF), ② JK FF, ③ T FF (Trigger FF), ④ D FF (Delayed FF) などがあり、シフトレジスタやカウンタあるいはラッチ回路などの記憶回路に用いられている。このうちで実験で用いる IC (10進カウンタ機能をもつ: SN7490) は、①と②の FF で構成されているので、次にこの FF について述べる。

① RS FF

図1に示すように、S (Set), R (Reset) の二つの入力端子を持ち、この入力によって状態が決められ、その状態を保持する回路である。すなわち、Sに"1"が加えられるとQは"1"となり、Rに"1"が加えられるとQは"0"となる。そして出力の状態が決まった後は、入力を"0"にしても出力の状態は変わらず、そのまま保持される。これが2進1桁の記憶に相当する。ただし、R, S入力がともに"1"になると、出力は決まらず、不定となる。

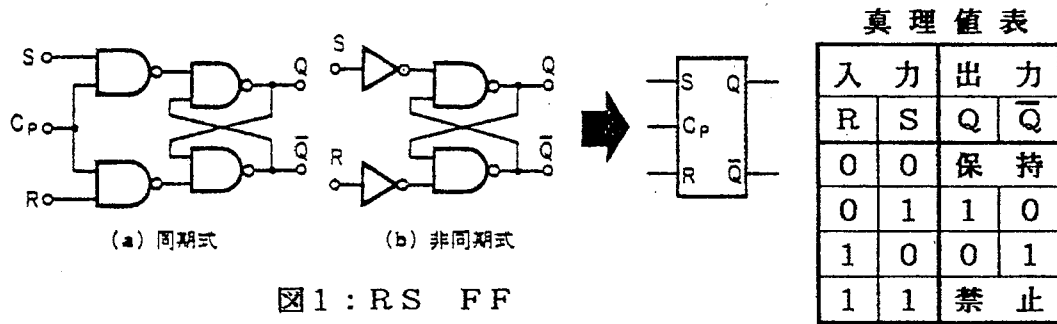


図1: RS FF

② JK FF

図2に示すような回路で、J, K入力はRS FFのS, R入力と同様の働きをし、さらにRS FFで禁止されている入力の組み合わせ (R=S="1") に対しても動作し、出力が反転する。ただし、このFFはクロックパルスC_pを必要とする。すなわち、JおよびK入力に信号が加えられただけでは状態は変わらず、クロックパルスC_pが入ったときに始めてJ, K入力によって出力が規定される。

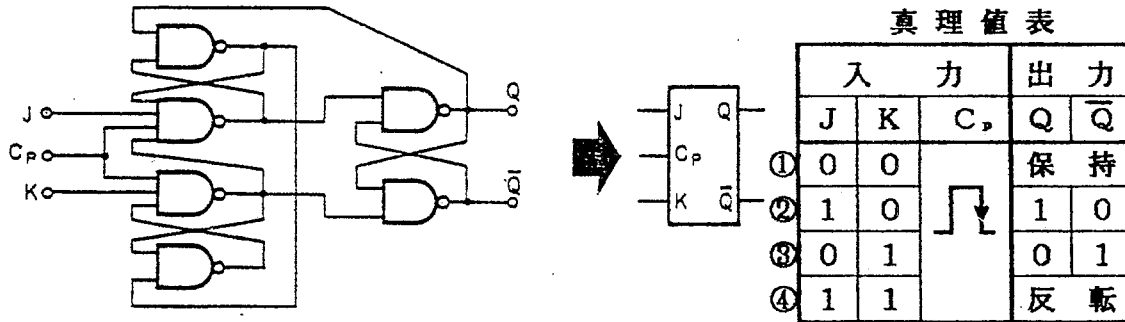
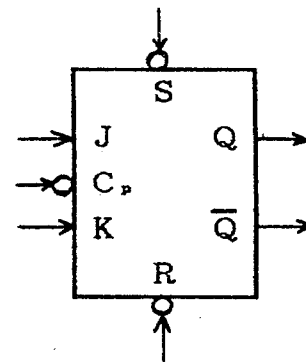


図2: JK FF

※注: JK FFが右図のように表現されているときの動作について:

- ・C_p端子の○印は、このFFが立ち下がりて変化することを表している。
- ・R端子の○印は、"0"でリセットされることをあらわしている。
- ・S端子の○印は、"0"でセットされることをあらわしている。



ここで、S、R入力はJ、K、C_p入力より優先する。すなわち、R入力を"0"にしておくと、J、K、C_pに何を入力しても無効となり、Q、 \bar{Q} は"0"、"1"に固定されてしまう。S入力も同様、"0"にしておくと、Q、 \bar{Q} は"1"、"0"に固定されてしまう。

したがって、J、K、C_p入力を使用する場合は、S、R入力は常に"1"にしておくことが必要である。

図3にJK FFのタイムチャートを示す。

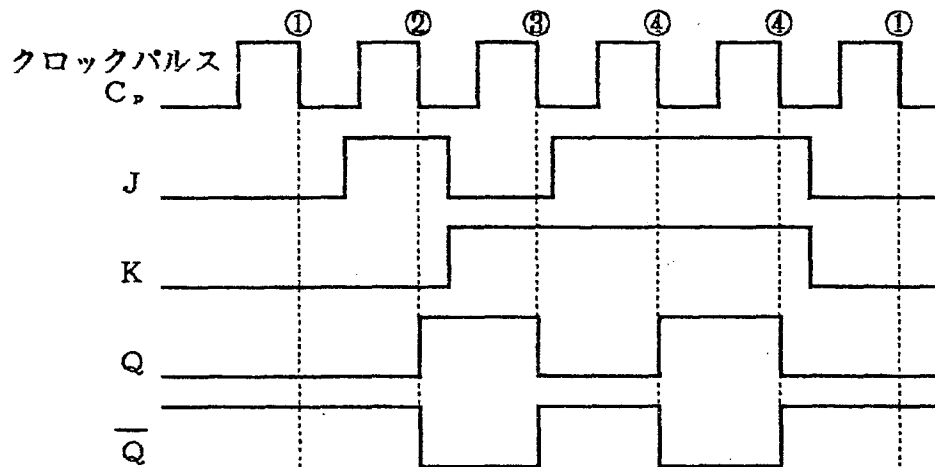


図3：JK FFのタイムチャート

本実験で使用する型名7490のICは図4に示すような外観で、その内部は図5に示すように3個のJK FFと1個のRST (トグルRS) FFとから構成されている。

図5から明らかなように、INPUT側の第1段のJK FF 1個が2進カウンタとして働き、次段以降のFFで5進カウンタを構成している。

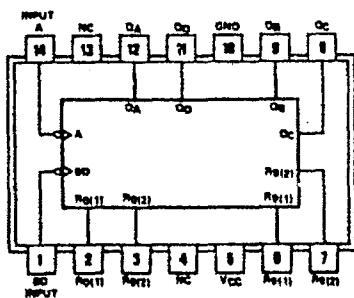


図4：7490型ICの外観

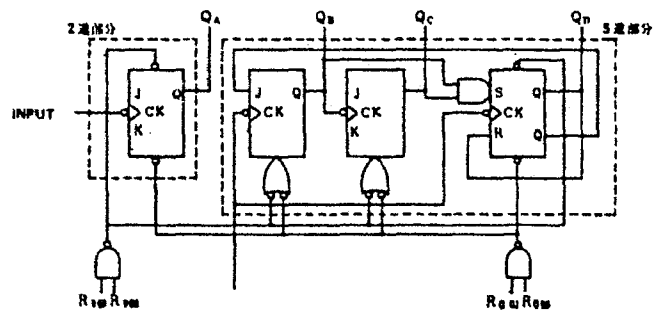


図5：7490型ICの内部構成

これを10進カウンタとして動作させるためには、2進カウンタの出力Q_aを5進カウンタの初段のFFにクロックパルスとして(図5のCK端子はC_p端子と同じ)加えればよい。図4の外観図によれば、Q_a端子は12番ピン、CK端子は1番ピンであるから、この両端子を接続することで10進カウンタとして動作させることができる。

次に、検出回路に使用する型名7447のICについて述べる。

このICは、7セグメントの数字表示器を表示するためのドライブ回路と、2進（BCD: Binary-coded Decimal）数を数字表示器の入力信号に変換するためのデコーダ回路から構成されている。図6にその外観、図7に数字表示器との接続を示す。

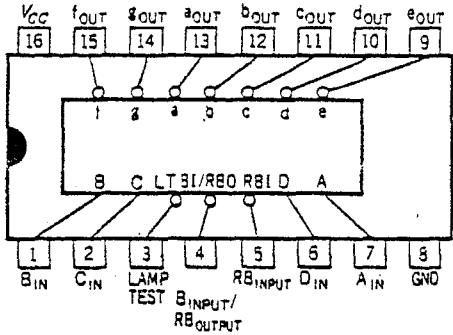


図6：7447型ICの外観

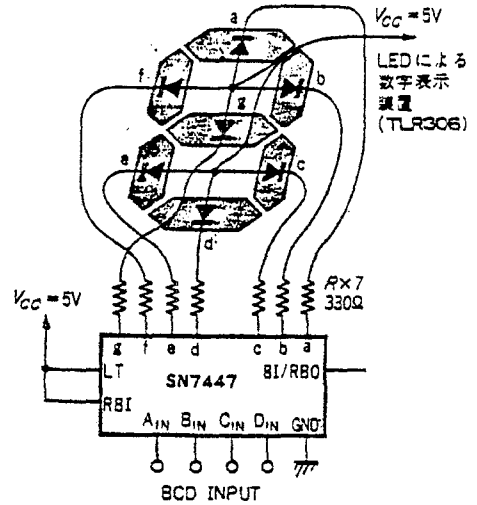
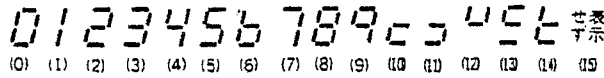
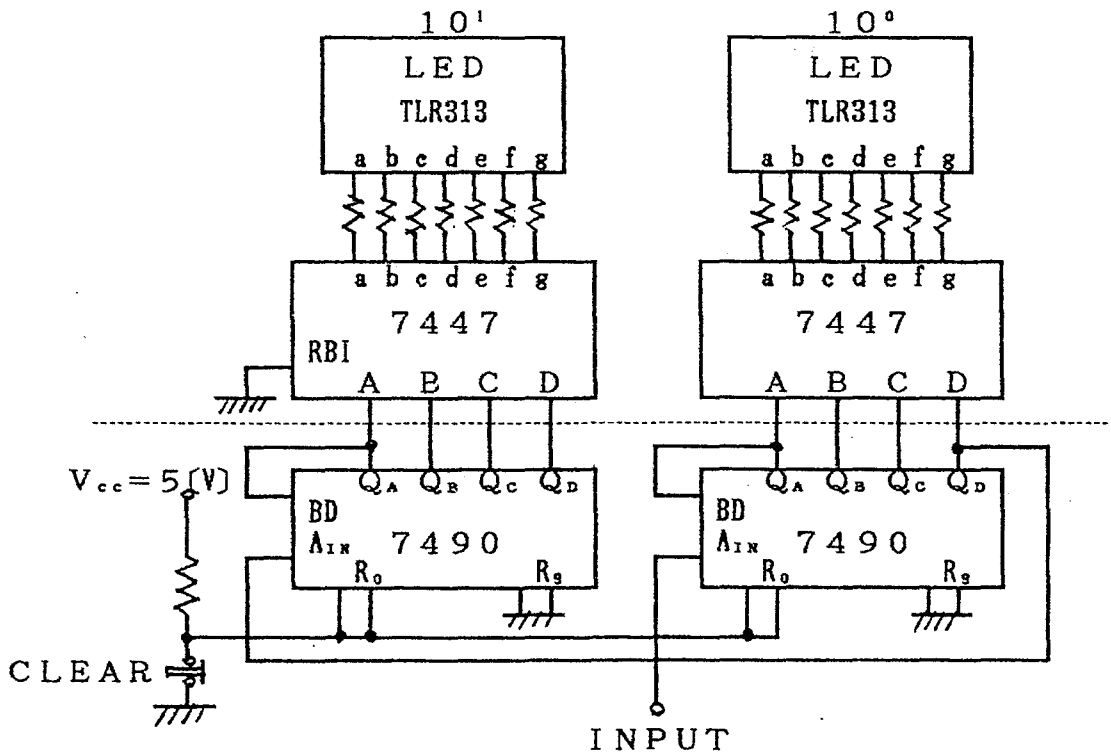


図7：接続図

図7の接続図において、 $A_{IN} \sim D_{IN}$ にBCD数を入力すると、 $a \sim g$ にはBCD数に対応した信号が現れ、数字表示器を表示する。例えば、 $A_{IN} \sim D_{IN}$ が“1100”（10進数で3）ならば、 a, b, c, d, g に電流が流れて“3”と表示される。表示例を下に示す。



【10進2桁カウンタの接続図】



【 10進2桁カウンタの製作 】

接続図における点線より上の部分は別に製作済みであり、本実験では点線より下の部分を基板上に製作する。すなわち、基板上に必要な部品を取り付け、ハンダ付けによって配線する。

完成したら、製作済みの部分と接続し、10進2桁カウンタの動作を確認する。動作が正常でない場合は、誤配線やハンダ付けの不良ということになるので、その部分を直し、再び動作を確認する。この作業を正常な動作が得られるまで繰り返す。

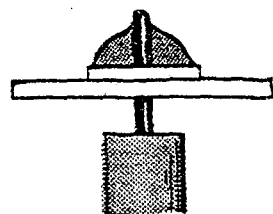
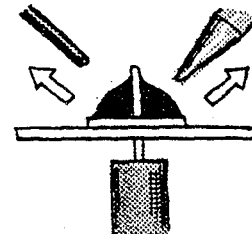
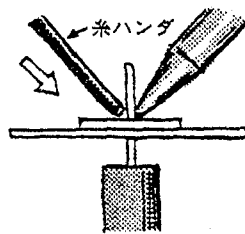
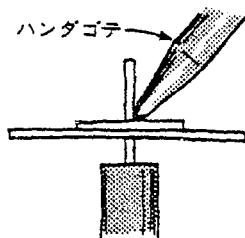
◆ ハンダ付けのコツ

ハンダの付け方が悪いと、接触不良を起こしたり、極端な場合には部品が抜けてしまうことがある。以下にハンダ付けのコツを示す。

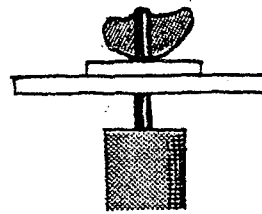
①ハンダゴテで2~3秒間ハンダ付けする部分を温める

②糸ハンダを付けて溶かす

③ハンダが溶けても1~2秒間はそのまま温める



良い例

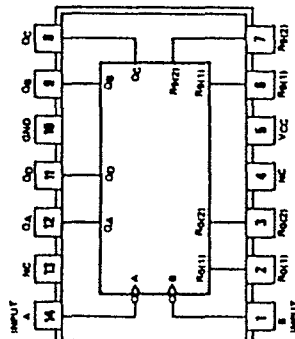


悪い例

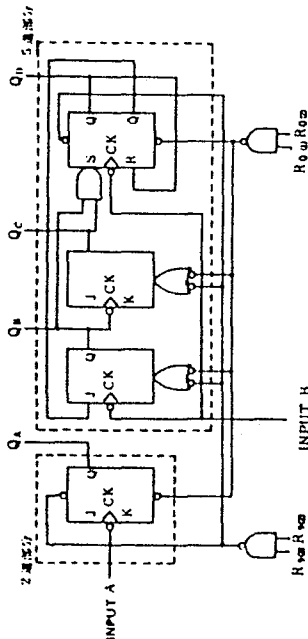
【 考察 】

- (1) できるだけ簡単な並列6進カウンタ回路を設計せよ。真理値表の段階から順次設計して行く過程も述べること。
- (2) チャタリング現象について述べ、その防止回路を描け。

Decade Counter



- 非同期2進+5進カウンタ(BCD)
- 非同期プリセット9
- 非同期クリア



項目	入力	出力	出力		N	LS	ALS	ALS	1000	F	S	AS	AS	1000	HC	C	単位
			max	min													
f _{max}	Input A	-	min	min	32	32											MHz
	Input B	-	min	min	16	16											MHz
	Input A	-	min	min	15	15											ns
tw	Input B	-	min	min	30	30											ns
	R, R ₉	-	min	min	15	15											ns
t _{rec}	R ₀ , R ₉	-	min	min	25↓	25↓											ns
	Input A	Q _A	max	max	18	18											ns
t _{pd}	Input B	Q _b	max	max	35	35											ns
	R ₀ , R ₉	Q _A ~Q _D	max	max	40	40											ns
I _{cc}	全入力L	全出力L	max	max	42	15											mA

参考品種	
74290	
74490	
74390	

A	R ₀	入力		出力		動作
		CK	B	Q _A	Q _b Q _c Q _D	
L	L	Q _A	Q _B	0	L L L L	カウント
L	L	Q _A	Q _D	1	H L L L	
L	L	Q _A	Q _D	2	L L H L	
L	L	Q _A	Q _D	3	H H L L	
L	L	Q _A	Q _D	4	L L H H	
L	L	Q _A	Q _D	5	L L L L	
L	L	Q _A	Q _D	-	H L L H	7
L	L	Q _A	Q _D	-	L L L L	7
L	L	Q _A	Q _D	-	L L L L	7

R₀ = R₀(1) · R₉(2)
 R₉ = R₉(1) · R₉(2)

入力電流特性	N	LS	ALS	ALS	1000	F	S	AS	AS	1000	HC	C	単位
Input A	H →	80	40	μA									mA
Input A	L ←	3.2	2.4	mA									mA
Input B	H →	120	80	μA									mA
Input B	L ←	4.8	3.2	mA									mA
R ₀	H →	40	20	μA									mA
R ₉	L ←	1.6	0.4	mA									mA

Asynchronous counter

○非同期カウンタは、前段のFFの出力をCKに入れます。
(Ripple clock)

例として図1に7490の一部を示します。この場合、 Q_A のドライブ能力は CK_2 の分だけ減少するわけですが、 Q_A にかぎり CK_2 の分を上のでせてあります。つまり、 Q_A に CK_2 を接続しないときには10を越えるファンアウトがあるということです。これは90系、290系、196系のすべてに当てはまります。

○7490のように内部で分離しているカウンタを、分周器として使用する場合、図2のように Q_D を入力Aに接続すると、 Q_A のデューティ（1周期に対するHの期間の割合）は50%となります。ただし入力Bは入力Aに比べて遅いので注意。

○非同期カウンタのプリセットは、ラッチ回路（7475等）と同じ動作なので多段に接続するとレーシングを起してしまい、シフトレジスタのような使用法はできません（図3）。シフトしたい場合は図4のように多相にします。

○各動作の優先順位は、クリア、プリセット、クロック、の順になっています。ただし7490、74290、74490についてはプリセット9.クリア、クロックとなります。

○ t_{su} 、 t_{hold} はFFと同じなので7473の項参照 t_{rec} (Count recover time)はロード（データセット）が解除された後、カウントが可能になるまでの時間。

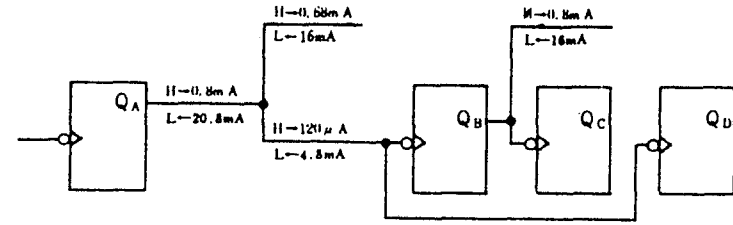


図1 7490のドライブ能力

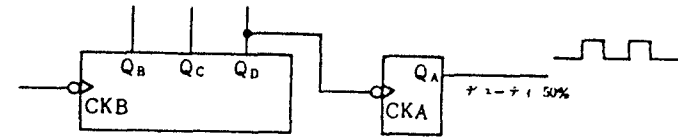


図2

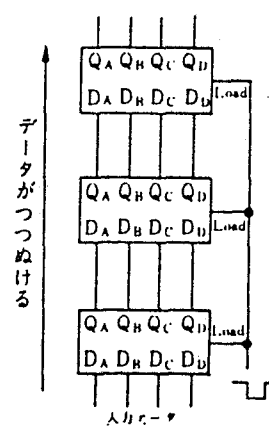


図3

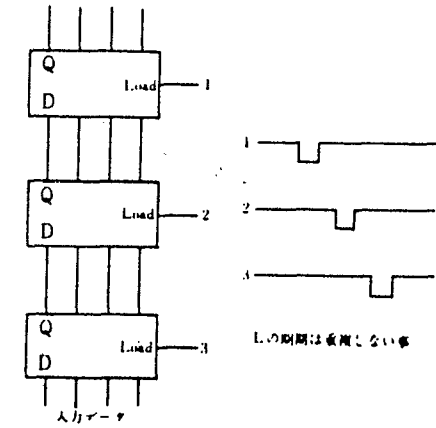
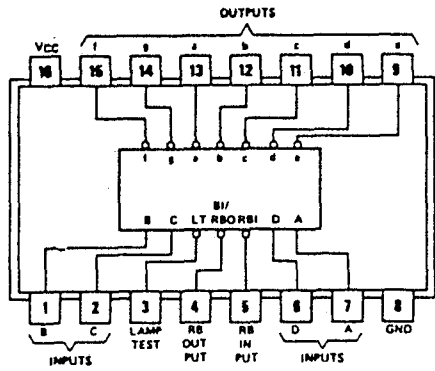


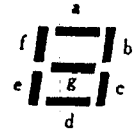
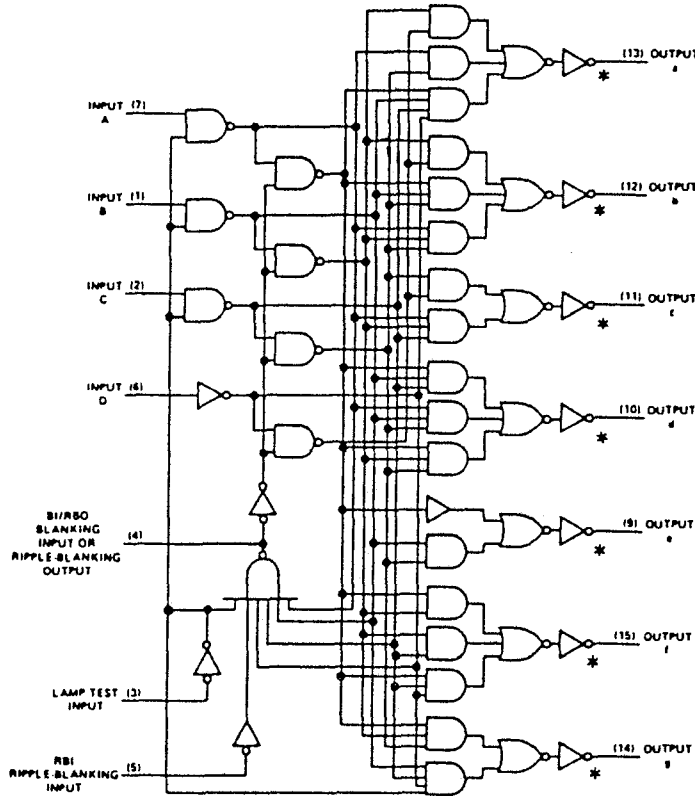
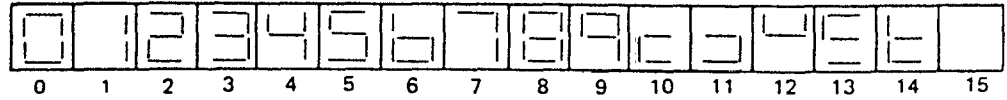
図4

BCD to 7 Segment Decoder/Driver



- オープンコレクタ出力
- 7446と7447は出力耐圧が異なるのみ他は同一
- 7446と74246, 7447と74247はそれぞれ6および9の字形が異なるのみで他は同一。したがって交換可能
- 使用例は次頁を参照のこと

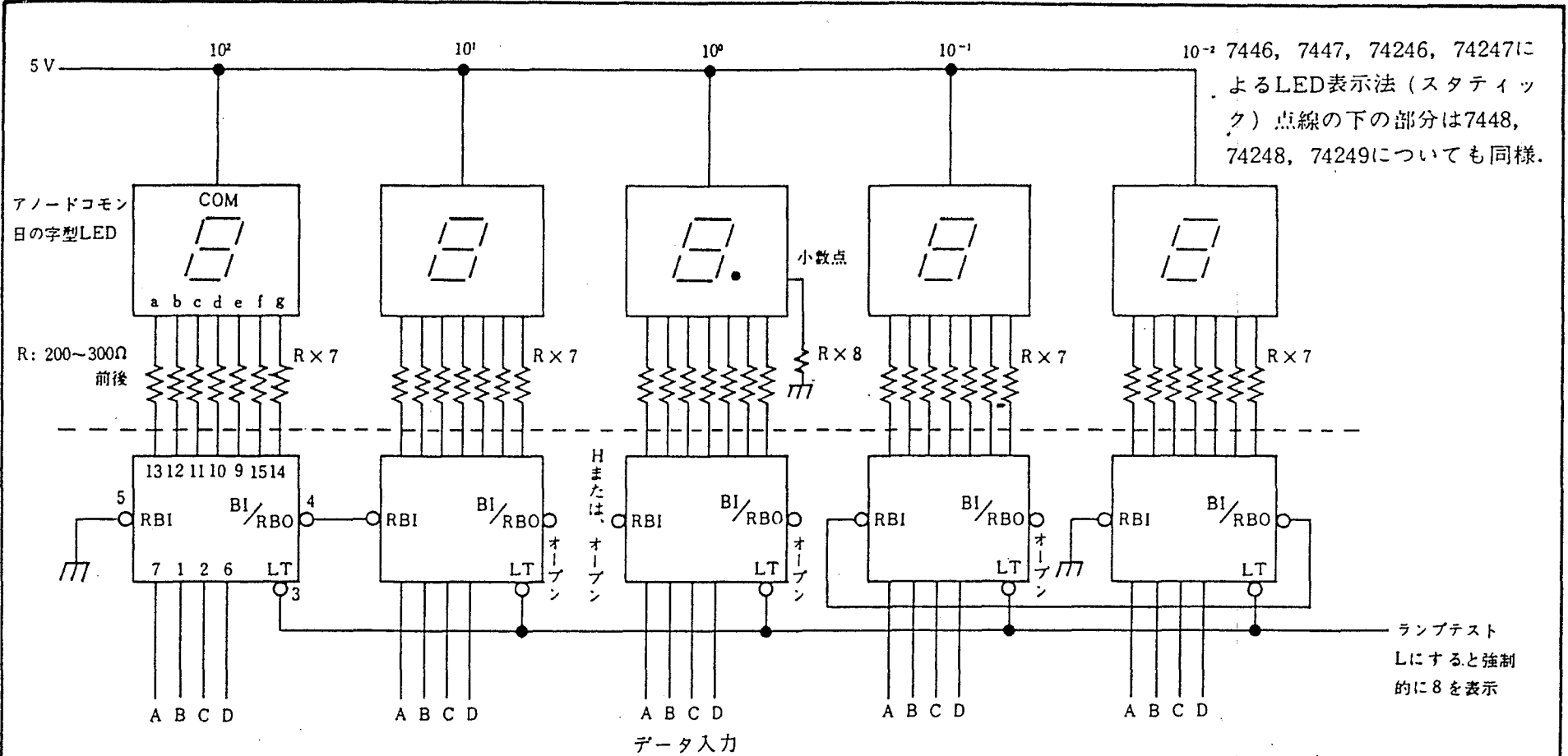
項目	入力	出力	max/min		N	LS	ALS	ALS 1000	F	S	AS	AS 1000	HC	C	単位
t _{pd}			max	min	100	100									ns
V _{OH}		a~g segment 出力	max		15	15									V
I _{cc}	全入力 H	全出力 Open	max		103	13									mA



参考品種
74246
74247

社名	記号	N	LS	ALS	ALS 1000	F	S	AS	AS 1000	HC	C
FC		*	*								
富士通	MB		*								
日立	HD	*	*								
松下	DN										
三菱	M	*	*								
MOT	MC	*	*								
NS	DM	*	*								
日電	μPB	*									
RAY											
RCA											
SIG	N	*									
TI	SN	*	*								
東芝	TD	*									
SGS											

入力電流特性		N	LS	ALS	ALS 1000	F	S	AS	AS 1000	単位	出力電流特性		N	LS	ALS	ALS 1000	F	S	AS	AS 1000	HC	C	単位	
BI/RBO	H →	—	—							μA	BI/RBO	H →	0.2	50	μA									mA
	L ←	4	1							mA		L ←	8	3.2										mA
他全入力	H →	40	20							μA	a~g	H →	—	—										—
	L ←	1.6	0.36							mA		L ←	40	24										mA



10⁻² 7446, 7447, 74246, 74247によるLED表示法(スタティック)点線の下の部分は7448, 74248, 74249についても同様.

ランプテスト Lにすると強制的に8を表示

- リーディングゼロサプレス(電卓のように0を消灯)をしたいときはRBIに上の桁のBI/RBOを接続する.さらに最上桁のRBIはGNDに落とす(これをHにするとゼロサプレス解除).
- 小数点以下の場合には逆に, RBIに下の桁のBI/RBOを接続し最下桁のRBIはGNDに落とす.
- 1の桁のRBIはH(またはオープン)にしておく. そうしないと全桁が0のとき, 全部消えてしまう.
- ランプテストをするときは, LT端子をLにすると8の字が表示される.

- ゼロサプレスをかけないときは上図10⁰の桁のようにそれぞれの桁のRBIをオープンにしておく.
 - BI/RBOを外からLにすると全セグメントが強制的に消灯する.(これはランプテストに優先する. すなわちBI/RBOおよびLTを共にLにすると全セグメント消灯)
- (BI/RBO端子は抵抗でプルアップされているので入力(ワイアードOR接続)としても出力としても使用可能で, A~Dの入力およびBI入力がすべてLの時にLになり, ここがLになると全セグメントが消える.)

カウンタ製作-9