

3E 電子計算機

後期中間テスト
問題

試験日 2003年11月28日

1. アセンブラ命令

以下アセンブラ命令について答えよ。

1. 下表の(ア)～(エ)の CASL の命令を書け。
2. 命令に対応する動作内容(A)～(G)を[1]～[20]から選択せよ。
3. アセンブラ命令に対するフラグレジスタの説明で、下の選択肢[1]～[5]の中から正しいも選べ。

機能	書式	動作内容
プログラム開始	[ラベル] (ア) [実行開始番地]	(A)
プログラム終了	(イ)	(B)
定数格納	[ラベル] (ウ) n	(C)
定数格納	[ラベル] (ウ) #h	(D)
定数格納	[ラベル] (ウ) '文字列'	(E)
定数格納	[ラベル] (ウ) ラベル名	(F)
領域の確保	[ラベル] (エ) n	(G)

-動作内容の選択肢-

- [1] 機械語に変換開始を指示する。アSEMBルするときに必ず書かなくてはならない。
- [2] プログラムの開始を示す。プログラムの最初に、必ず書かなくてはならない。
- [3] プログラムを実行させる。
- [4] プログラムの実行開始番地をフラグレジスタに入れる。
- [5] プログラムの動作を停止させる。
- [6] プログラムの終わりを示す。プログラムの最後に、必ず書かなくてはならない。
- [7] OSの機能呼び出す。INやOUTのマクロ命令で使われている。
- [8] ラベル名で示すアドレスからn語領域を確保する。
- [9] ラベル名で示すアドレスからnビット領域を確保する。
- [10] ラベル名で示すアドレスからnバイト領域を確保する。
- [11] 2進数をラベルのアドレスに格納する。
- [12] 10進定数をラベルのアドレスに格納する。
- [13] 16進定数をラベルのアドレスに格納する。
- [14] ラベル名で示すアドレスの内容(値)を格納する。
- [15] ラベル名で示すアドレスを格納する。
- [16] 文字列をラベルのアドレスから格納する。
- [17] 文字列が示すアドレスを格納する。
- [19] 文字列をディスプレイに表示させる。データの入力を促すときに使う。
- [20] nビットデータをシフトさせる。

-アセンブラ命令のフラグレジスタの説明の選択肢-

- [1] 格納するデータに依存する。
- [2] プログラムの実行アドレスが格納される。
- [3] 演算結果に依存する。
- [4] アセンブラ命令ではフラグレジスタの値はセットされることはない。
- [5] 不定で、OSに依存する

2. 機械語命令

2.1 ロード・算術加算減算・論理加算減算

以下機械語命令について答えよ。

1. 下表の(ア)～(キ)のCASLの命令を書け。
2. 命令に対応する動作内容(A)～(L)を[1]～[20]から選択せよ。
3. フラグレジスタの動作(I)～(V)で、正しいものをP.6のフラグレジスタの選択肢[1]～[9]の中から選べ。

機能	書式	動作内容	FRレジスタの動作
ロード	[ラベル] (ア) $r1, r2$	(A)	(I)
ロード	[ラベル] (ア) $r, \text{adr}[, x]$	(B)	
ストア	[ラベル] (イ) $r, \text{adr}[, x]$	(C)	(II)
ロードアドレス	[ラベル] (ウ) $r, \text{adr}[, x]$	(D)	(III)
算術加算	[ラベル] (エ) $r1, r2$	(E)	(IV)
算術加算	[ラベル] (エ) $r, \text{adr}[, x]$	(F)	
算術減算	[ラベル] (オ) $r1, r2$	(G)	
算術減算	[ラベル] (オ) $r, \text{adr}[, x]$	(H)	
論理加算	[ラベル] (カ) $r1, r2$	(I)	(V)
論理加算	[ラベル] (カ) $r, \text{adr}[, x]$	(J)	
論理減算	[ラベル] (キ) $r1, r2$	(K)	
論理減算	[ラベル] (キ) $r, \text{adr}[, x]$	(L)	

-動作内容の選択肢-

- [1] レジスタ $r1$ と $r2$ の符号付減算。 $r1 \leftarrow r1 - r2$
- [2] レジスタ $r1$ と $r2$ の符号付加算。 $r1 \leftarrow r1 + r2$
- [3] レジスタ $r1$ と $r2$ の符号無減算。 $r1 \leftarrow r1 - r2$
- [4] レジスタ $r1$ と $r2$ の符号無加算。 $r1 \leftarrow r1 + r2$
- [5] レジスタ $r1$ とレジスタ $r2$ のビット毎の論理差を計算。結果は $r1$ に格納
- [6] レジスタ $r1$ とレジスタ $r2$ のビット毎の論理和を計算。結果は $r1$ に格納
- [7] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容のビット毎の論理和を計算。結果は r に格納
- [8] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容のビット毎の論理差を計算。結果は r に格納
- [9] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容を符号付減算 $r \leftarrow r - \text{adr}[, x]$ の内容
- [10] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容を符号付加算 $r \leftarrow r + \text{adr}[, x]$ の内容
- [11] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容の符号無減算 $r \leftarrow r - \text{adr}[, x]$ の内容
- [12] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容を符号無加算 $r \leftarrow r + \text{adr}[, x]$ の内容
- [13] レジスタ $r1$ の値をレジスタ $r2$ にコピーする。
- [14] レジスタ $r2$ の値をレジスタ $r1$ にコピーする。
- [15] レジスタ $r1$ のアドレスをレジスタ $r2$ にコピーする。
- [16] レジスタ $r2$ のアドレスをレジスタ $r1$ にコピーする。
- [17] アドレス $\text{adr}[, x]$ の主記憶装置の内容をレジスタ r にコピーする。
- [18] レジスタ r の内容を主記憶装置のアドレス $\text{adr}[, x]$ にコピーする
- [19] レジスタ r のアドレスを主記憶装置のアドレス $\text{adr}[, x]$ にコピーする
- [20] 主記憶装置のアドレス値 $\text{adr}[, x]$ をレジスタ r にコピーする。

2.2 論理減算・比較

以下機械語命令について答えよ。

1. 下表の(ア)～(オ)の CASL の命令を書け。
2. 命令に対応する動作内容(A)～(J)を[1]～[20]から選択せよ。
3. フラグレジスタの動作(I)～(II)で、正しいものをP.6のフラグレジスタの選択肢[1]～[9]の中から選べ。

機能	書式	動作内容	FR レジスタの動作
論理積	[ラベル] (ア) $r1, r2$	(A)	(I)
論理積	[ラベル] (ア) $r, \text{adr}[, x]$	(B)	
論理和	[ラベル] (イ) $r1, r2$	(C)	
論理和	[ラベル] (イ) $r, \text{adr}[, x]$	(D)	
排他的論理和	[ラベル] (ウ) $r1, r2$	(E)	
排他的論理和	[ラベル] (ウ) $r, \text{adr}[, x]$	(F)	
算術比較	[ラベル] (エ) $r1, r2$	(G)	(II)
算術比較	[ラベル] (エ) $r, \text{adr}[, x]$	(H)	
論理比較	[ラベル] (オ) $r1, r2$	(I)	
論理比較	[ラベル] (オ) $r, \text{adr}[, x]$	(J)	

-動作内容の選択肢-

- [1] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容のビット毎の論理積を計算。結果は r に格納
- [2] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容のビット毎の論理和を計算。結果は r に格納
- [3] レジスタ $r1$ とレジスタ $r2$ のビット毎の論理和の否定を計算。結果は $r1$ に格納
- [4] レジスタ $r1$ とレジスタ $r2$ のビット毎の排他的論理和を計算。結果は $r1$ に格納
- [5] レジスタ $r1$ が示すアドレスと $r2$ が示すアドレスのビット毎の論理和を計算。結果は $r1$ に格納
- [6] レジスタ $r1$ が示すアドレスとレジスタ $r2$ が示すアドレスのビット毎の論理積を計算。結果は $r1$ に格納
- [7] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容のビット毎の排他的論理和を計算。結果は r に格納
- [8] レジスタ $r1$ とレジスタ $r2$ のビット毎の論理積を計算。結果は $r1$ に格納
- [9] レジスタ $r1$ とレジスタ $r2$ のビット毎の論理和を計算。結果は $r1$ に格納
- [10] レジスタ $r1$ と $r2$ の符号付積算。 $r1 \leftarrow r1 \times r2$
- [11] レジスタ $r1$ と $r2$ の符号付加算。 $r1 \leftarrow r1 + r2$
- [12] レジスタ $r1$ とレジスタ $r2$ を符号付の数として比較。結果は FR レジスタに格納
- [13] レジスタ $r1$ とレジスタ $r2$ を論理変数として比較。結果は FR レジスタに格納
- [14] レジスタ $r1$ とレジスタ $r2$ を符号無の数として比較。結果は FR レジスタに格納
- [15] レジスタ $r1$ と主記憶装置(アドレス $\text{adr}[, x]$)の内容を符号無の数として比較。結果は FR レジスタに格納
- [16] レジスタ $r1$ と主記憶装置(アドレス $\text{adr}[, x]$)の内容を符号付の数として比較。結果は FR レジスタに格納
- [17] レジスタ $r1$ と $r2$ の符号付減算。 $r1 \leftarrow r1 - r2$ 。結果は $r1$ に入る。
- [18] レジスタ $r1$ と $r2$ の符号付減算。 $r1 \leftarrow r1 - r2$ 。結果は $r2$ に入る。
- [19] レジスタ $r1$ と $r2$ が示すアドレスの値を符号付で比較する。結果は FR レジスタに格納
- [20] レジスタ $r1$ と $r2$ が示すアドレスの値を符号無で比較する。結果は FR レジスタに格納

2.3 シフト・分岐

以下機械語命令について答えよ。

1. 下表の(ア)～(コ)の CASL の命令を書け。
2. 命令に対応する動作内容(A)～(J)を[1]～[20]から選択せよ。
3. フラグレジスタの動作(I)～(IV)で、正しいものをP.6のフラグレジスタの選択肢[1]～[9]の中から選べ。

機能	書式	動作内容	FR レジスタの動作
算術左シフト	[ラベル] (ア) $r, \text{adr}[, x]$	(A)	(I)
算術右シフト	[ラベル] (イ) $r, \text{adr}[, x]$	(B)	
論理左シフト	[ラベル] (ウ) $r, \text{adr}[, x]$	(C)	(II)
論理右シフト	[ラベル] (エ) $r, \text{adr}[, x]$	(D)	
正分岐	[ラベル] (オ) $\text{adr}[, x]$	(E)	(III)
負分岐	[ラベル] (カ) $\text{adr}[, x]$	(F)	
非零分岐	[ラベル] (キ) $\text{adr}[, x]$	(G)	
零分岐	[ラベル] (ク) $\text{adr}[, x]$	(H)	
オーバーフロー分岐	[ラベル] (ケ) $\text{adr}[, x]$	(I)	
無条件分岐	[ラベル] (コ) $\text{adr}[, x]$	(J)	

-動作内容の選択肢-

- [1] レジスタ r の内容を符号ビットを除き、主記憶装置の $\text{adr}[, x]$ の番地の内容そのもの分、各ビットを右へシフト。空いたビットには符号ビットと同じ値が入る。
- [2] レジスタ r の内容を符号ビットを除き、主記憶装置の $\text{adr}[, x]$ の番地の内容そのもの分、各ビットを左へシフト。空いたビットには符号ビットと同じ値が入る。
- [3] レジスタ r の内容を、 $\text{adr}[, x]$ の番地そのもの分、各ビットを左へシフト。空いたビットには0が入る。
- [4] レジスタ r の内容を、 $\text{adr}[, x]$ の番地そのもの分、各ビットを右へシフト。空いたビットには0が入る。
- [5] レジスタ r の内容を符号ビットを除き、 $\text{adr}[, x]$ の番地そのもの分、各ビットを左へシフト。空いたビットには0が入る。
- [6] レジスタ r の内容を符号ビットを除き、 $\text{adr}[, x]$ の番地そのもの分、各ビットを右へシフト。空いたビットには符号ビットと同じ値が入る。
- [7] レジスタ r の内容を符号ビットを除き、主記憶装置の $\text{adr}[, x]$ の番地の内容そのもの分、各ビットを右へシフト。空いたビットの値は不定である。
- [8] レジスタ r の内容を符号ビットを除き、主記憶装置の $\text{adr}[, x]$ の番地の内容そのもの分、各ビットを左へシフト。空いたビットの値は不定である。
- [9] レジスタ r と主記憶装置(アドレス $\text{adr}[, x]$)の内容のビット毎の論理和を計算。結果は r に格納
- [10] FR レジスタの OF が 1 の時、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [11] FR レジスタの OF が 0 の時、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [12] FR レジスタの ZF が 1 の時、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [13] FR レジスタの ZF が 0 の時、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [14] FR レジスタの SF と ZF の両方が 1 の時、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [15] FR レジスタの SF と ZF の両方が 0 の時、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [16] 全ての FR レジスタが 1 の時、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [17] FR レジスタの SF が 0 の時、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [18] FR レジスタの SF が 1 の時、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [19] 無条件に、 $\text{adr}[, x]$ のアドレスへ分岐(実行が移動)する。
- [20] 無条件に、 $\text{adr}[, x]$ のレジスタの値を格納する。

2.4 スタック・サブルーチンコール・他

以下機械語命令について答えよ。

1. 下表の(ア)～(カ)のCASLの命令を書け。
2. 命令に対応する動作内容(A)～(F)を[1]～[12]から選択せよ。
3. フラグレジスタの動作(I)～(III)で、正しいものを P.6 のフラグレジスタの選択肢 [1]～[9]の中から選べ。

機能	書式	動作内容	FR レジスタの動作
プッシュ	[ラベル] (ア) adr [, x]	(A)	(I)
ポップ	[ラベル] (イ) r	(B)	
コール	[ラベル] (ウ) adr [, x]	(C)	(II)
リターン	[ラベル] (エ)	(D)	
スーパーバイザーコール	[ラベル] (オ) adr [, x]	(E)	不定 OS に依存する
ノーオペレーション	[ラベル] (カ)	(F)	(III)

-動作内容の選択肢-

- [1] プログラム実行時に、エラーの表示を行う。
- [2] プログラムを停止させる。
- [3] スタックポインタで示されている番地の内容をレジスタ r にコピーする。そしてスタックポインタの値を 1 加算する。
- [4] サブルーチン呼び出す。呼び出すサブルーチンは、アドレス adr [, x] から始まる。
- [5] ラベル名で示すアドレスから n バイト領域を確保する。
- [6] OS の機能呼び出す。IN や OUT のマクロ命令で使われている。
- [7] サブルーチンからメインルーチンへ戻る。
- [8] 何もしない命令。
- [9] プログラムの実行を一時中断させる。
- [10] スタックポインタを 1 減らして、その番地へ adr [, x] のアドレスを格納する。
- [11] プログラムレジスタを 1 減らして、その番地へ adr [, x] のアドレスを格納する。
- [12] ディスプレイにデータを書き出す。

3. マクロ命令

以下マクロ命令について答えよ。

1. 下表の(ア)～(エ)のCASLの命令を書け。
2. 命令に対応する動作内容(A)～(D)を[1]～[8]から選択せよ。

機能	書式	動作内容	FR レジスタの動作
入力命令	[ラベル] (ア) ラベル 1, ラベル 2	(A)	不定 OS に依存する
出力命令	[ラベル] (イ) ラベル 1, ラベル 2	(B)	不定 OS に依存する
レジスタの待避	[ラベル] (ウ)	(C)	不定 OS に依存する
レジスタの復元	[ラベル] (エ)	(D)	不定 OS に依存する

-動作内容の選択肢-

- [1] 汎用レジスタ GR1～GR7 の内容を、GR1→GR7 の順序でスタック領域に格納。
- [2] 汎用レジスタ GR1～GR7 の内容を、GR1→GR7 の順序でラベルで示す領域に格納。
- [3] スタック領域の内容を、GR7→GR1 の順序で汎用レジスタに格納。
- [4] スタック領域の内容を、ラベルで示す領域に格納。
- [5] 入力領域(ラベル 1)に文字データを入れる。入力文字長は、ラベル 2 に入る。
- [6] 入力領域(ラベル 1)に数値データを入れる。入力数値長は、ラベル 2 に入る。
- [7] 出力領域(ラベル 1)の文字データを出力する。出力文字長は、ラベル 2 で示す。
- [8] 出力領域(ラベル 1)の数値データを出力する。出力数値長は、ラベル 2 で示す。

フラグレジスタ選択表

[1]

変化なし

[2]

不定 os に依存する

[3]

OF: = 0 (常にゼロが設定される)

SF: = 1 (負のとき、ビット番号 15 が 1)

ZF: = 1 (値がゼロの時、全てのビットが 0)

0 (正のとき、ビット番号 15 が 0)

0 (左記以外)

[4]

OF: = 1 (演算の結果が 0~65535 の範囲外)

SF: = 1 (演算結果が負、ビット番号 15 が 1)

ZF: = 1 (演算結果が 0、全てのビットが 0)

0 (上記以外)

0 (演算結果が正の時、ビット番号 15 が 0)

0 (左記以外)

[5]

OF: = 1 (演算結果が-32768~32767 の範囲外)

SF: = 1 (演算結果が負、ビット番号 15 が 1)

ZF: = 1 (演算結果が 0、全てのビットが 0)

0 (上記以外)

0 (演算結果が正、ビット番号 15 が 0)

0 (左記以外)

[6]

OF: = 0 (常にゼロが設定される)

SF: = 1 (演算結果が負、ビット番号 15 が 1)

ZF: = 1 (演算結果が 0、全てのビットが 0)

0 (演算結果が正、ビット番号 15 が 0)

0 (左記以外)

[7]

2 つの数字の比較 (以下の演算) により、FR が設定される。

$r1-r2$

$r-\text{adr}[, x]$ の内容

OF: = 0 (常にゼロが設定される)

SF: = 1 (演算結果が負、ビット番号 15 が 1)

ZF: = 1 (演算結果が 0、全てのビットが 0)

0 (演算結果が正、ビット番号 15 が 0)

0 (左記以外)

[8]

OF: = レジスタから、最初に送り出されたビットの値

SF: = 1 (ビット番号 15 が 1 のとき)

ZF: = 1 (全てのビットが 0 のとき)

0 (ビット番号 15 が 0 のとき)

0 (左記以外)

[9]

OF: = レジスタから、最後に送り出されたビットの値

SF: = 1 (ビット番号 15 が 1 のとき)

ZF: = 1 (全てのビットが 0 のとき)

0 (ビット番号 15 が 0 のとき)

0 (左記以外)